מחלקה להנדסת תוכנה

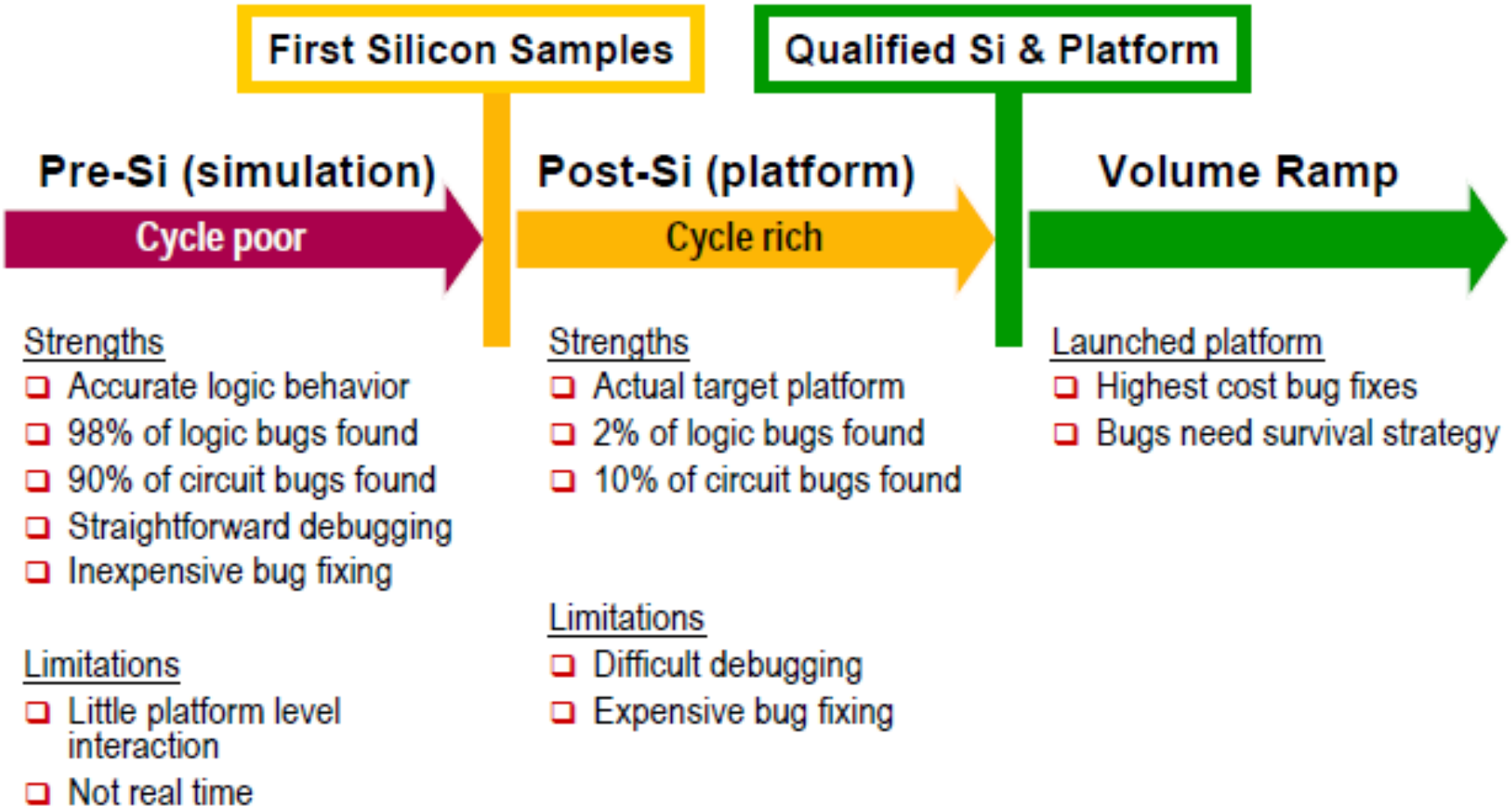
BRAUDE
College of Engineering, karmiel

בדיקת מערכות ספרתיות ואימות תכנון

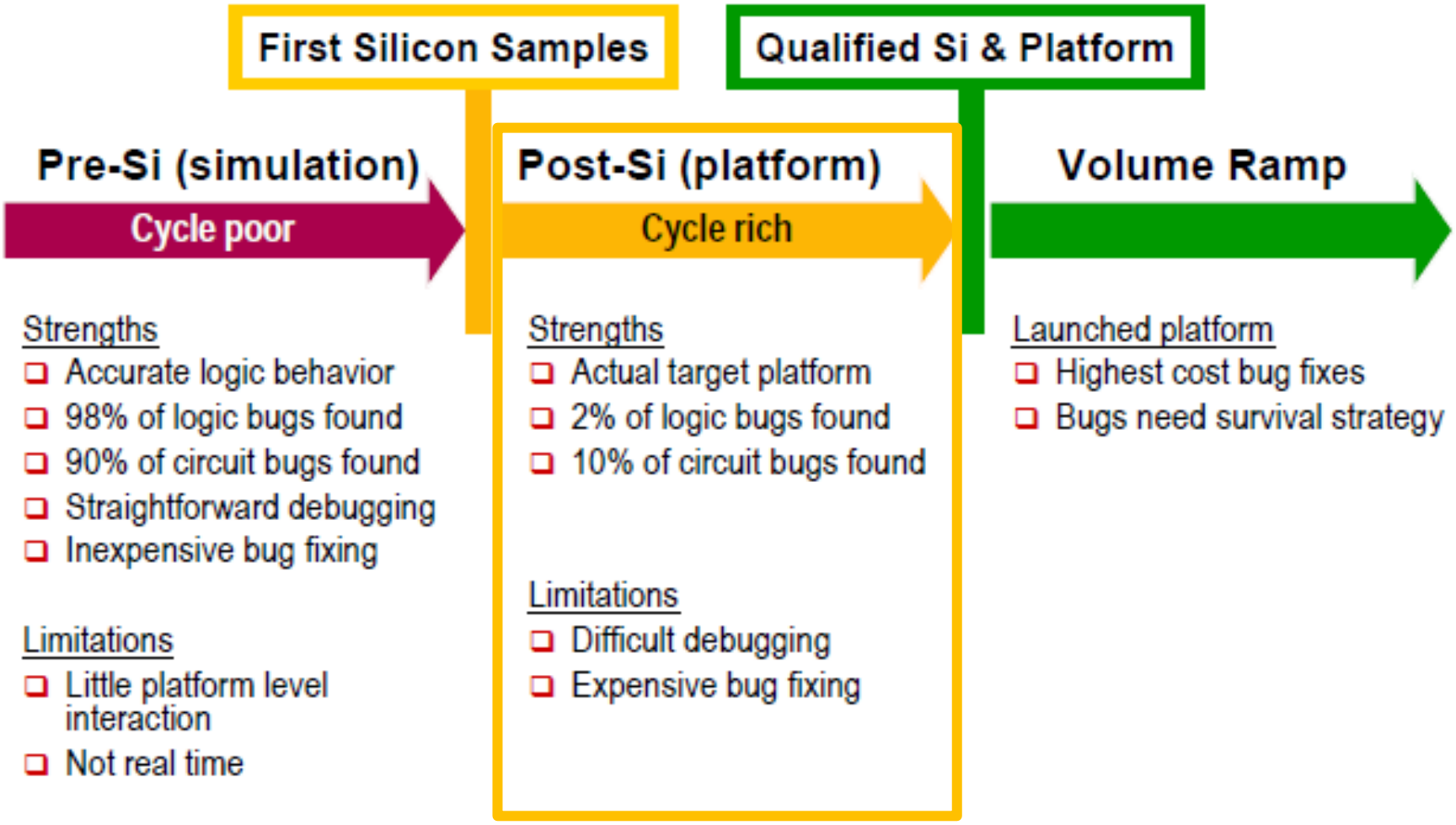
פרק 7

אימות פוסט סיליקון

בדיקות פוסט סיליקון



בדיקות לפני יצור



אריזה ,בדיקות ואיתור באגים

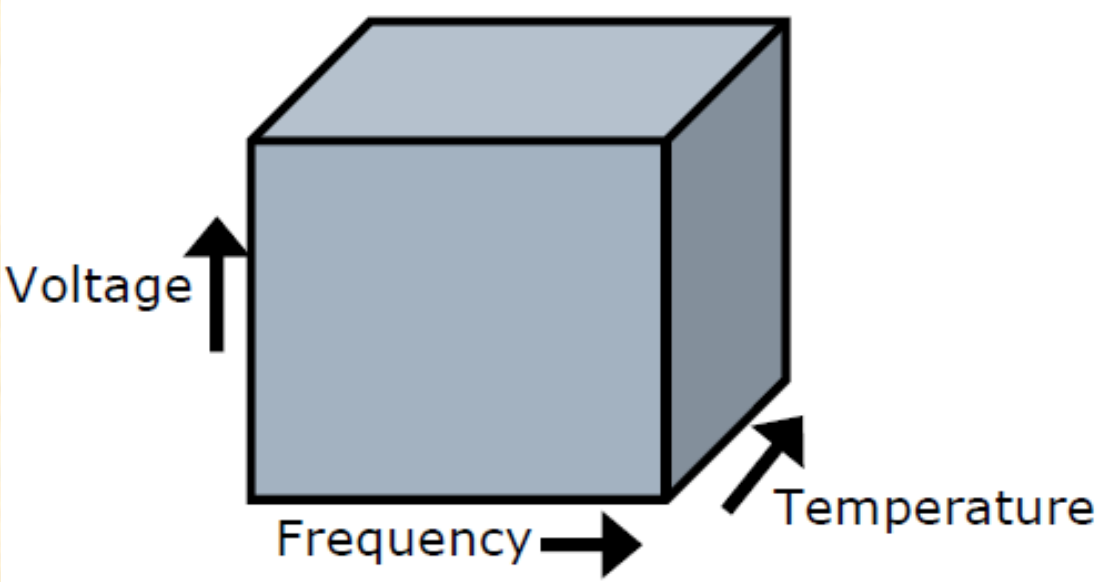
- **<u>אריזות:</u>** הרכיבה של השבב על PCB (Printed Circuit Board) או MCM (Multi-Chip Module)

- השבב הארוז אז נבדק כדי לוודא שהוא עונה על כל מפרטי התכנון וכי הוא מתפקד כראוי.

הפעלה בטווח אידיאלי

באופן אידיאלי ,סיליקון פועל גבולות ,מוגדרים היטב

- ערכי מינימום ומקסימום מוגדרים במפרט של היצרן
- אחידים על מתח ,טמפרטורה ,תדר ,תהליך ,זמן, ...
- אבל מה שקורה באמת קצת שונה ☺



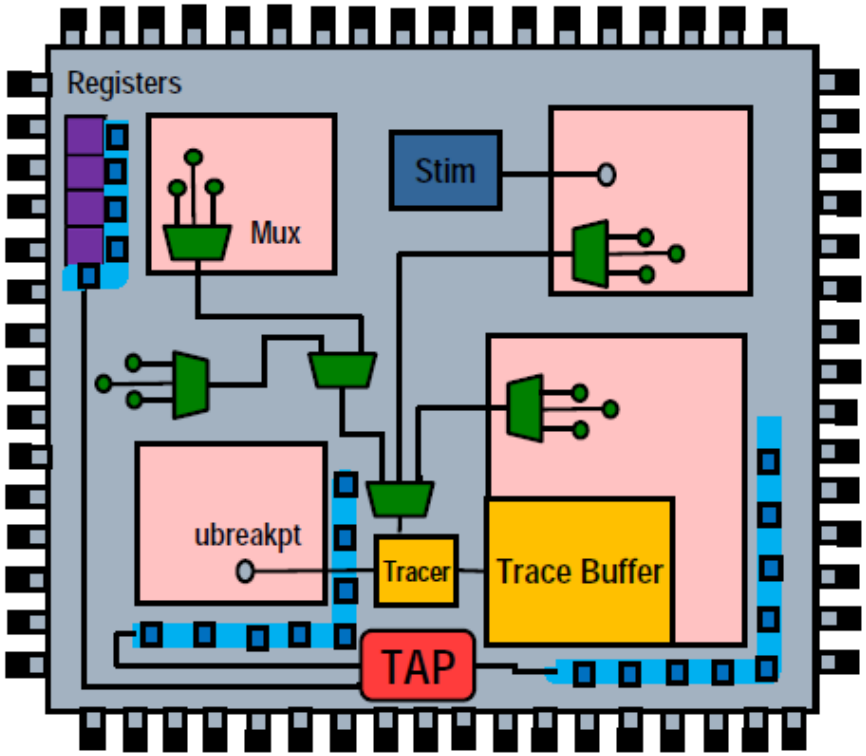
תשתית פלטפורמת אימות

Tests generated in server farm

Tests executed on validation platform

Failures debugged using logic analyzer

אבחון כישלונות



Observability / Control / Survivability

קשה לגשת לתוך השבבים:

- פיקו-חיטוט PROB
- קרני אלקטרונים
- חיטוט במתח לייזר

בדיקות לפני ייצור

Design-for-Test (DFT)

מטרה:

בצע את הבדיקה של הרכיב המיוצר מהירה וברורה

מנטרה:

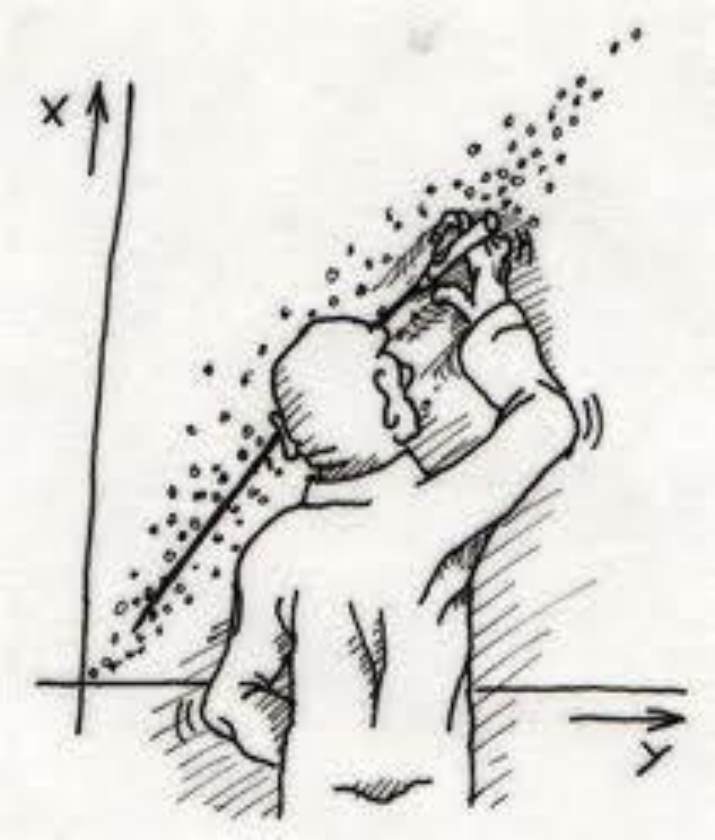
הבדיקה ניתנת לבקרה והשגחה

רכיבים של אסטרטגיית DFT:

- ספק המעגלים כדי לאפשר בדיקות
- ספק תבניות הבדיקות כדי להבטיח כיסוי סביר

מיון בדיקות

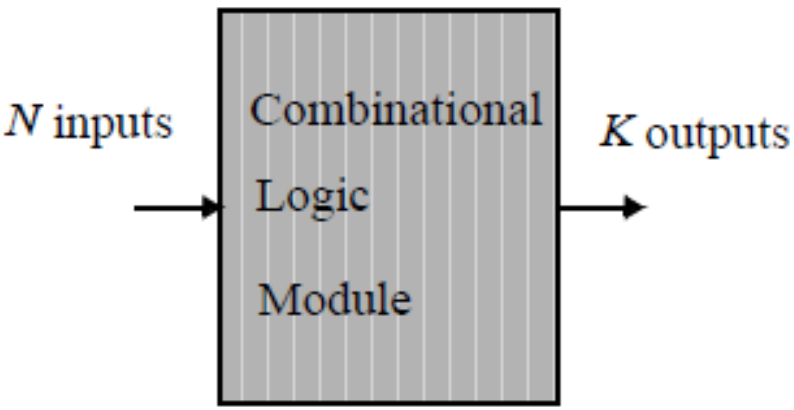
- הבדיקות האבחון -- Diagnostic test
  - איתור באגים בשבב בעזרת לוח



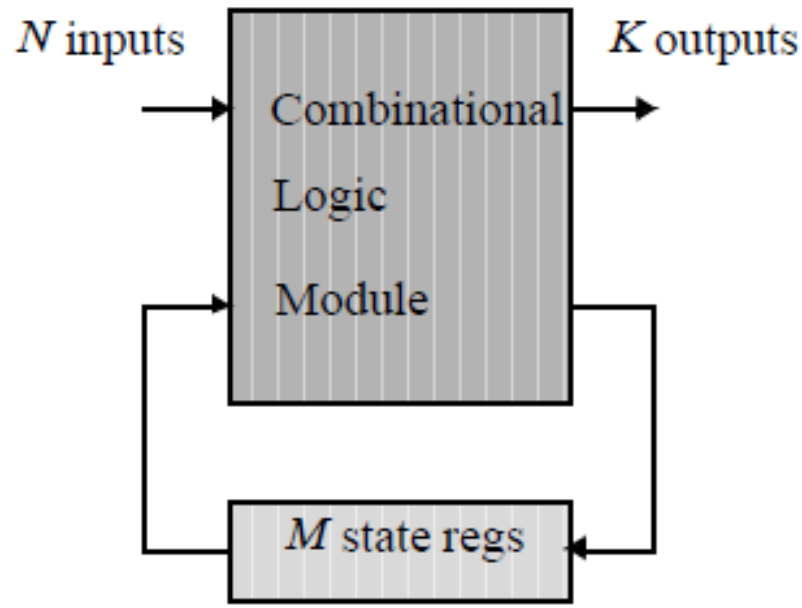
- בדוקות "הולך / לא הולך"

- הבדיקות פרמטרים
  - בדיקות פרמטרים חשמליים

DFT



(a) Combinational function

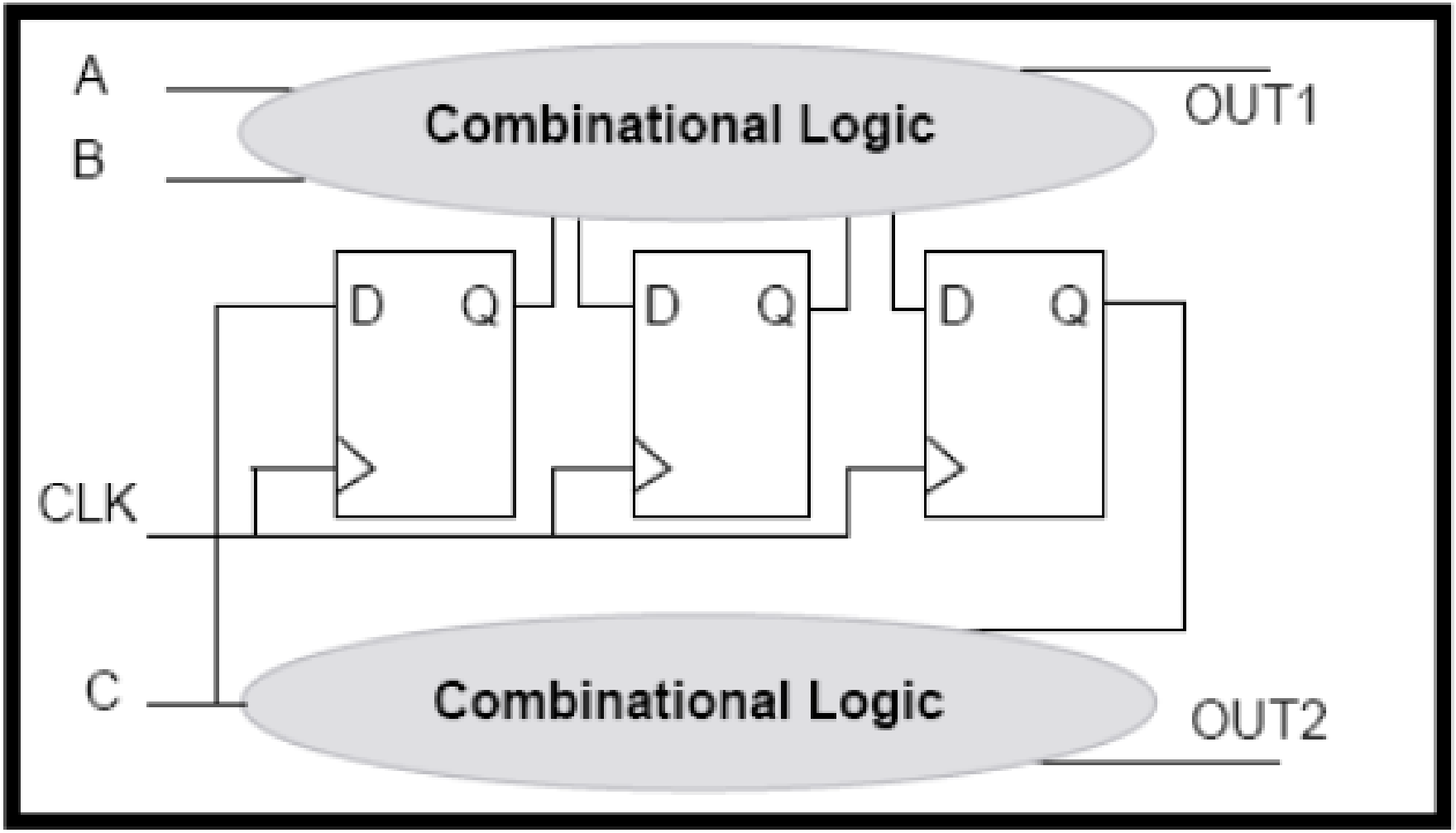


(b) Sequential engine

2^N patterns

2^{N+M} patterns

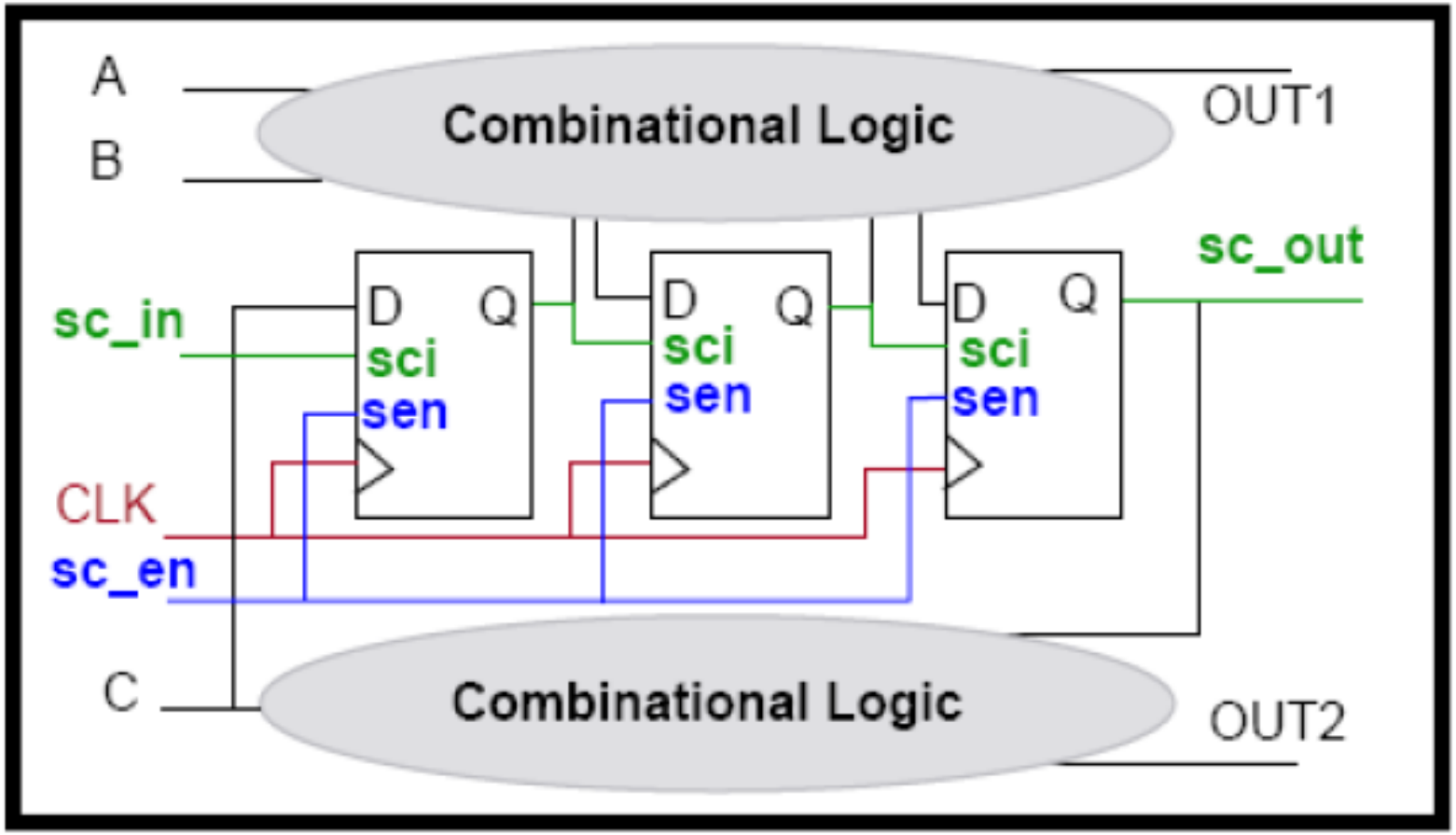
DFT


A
B
Combinational Logic
OUT1
D
Q
D
Q
D
Q
CLK
C
Combinational Logic
OUT2

DFT

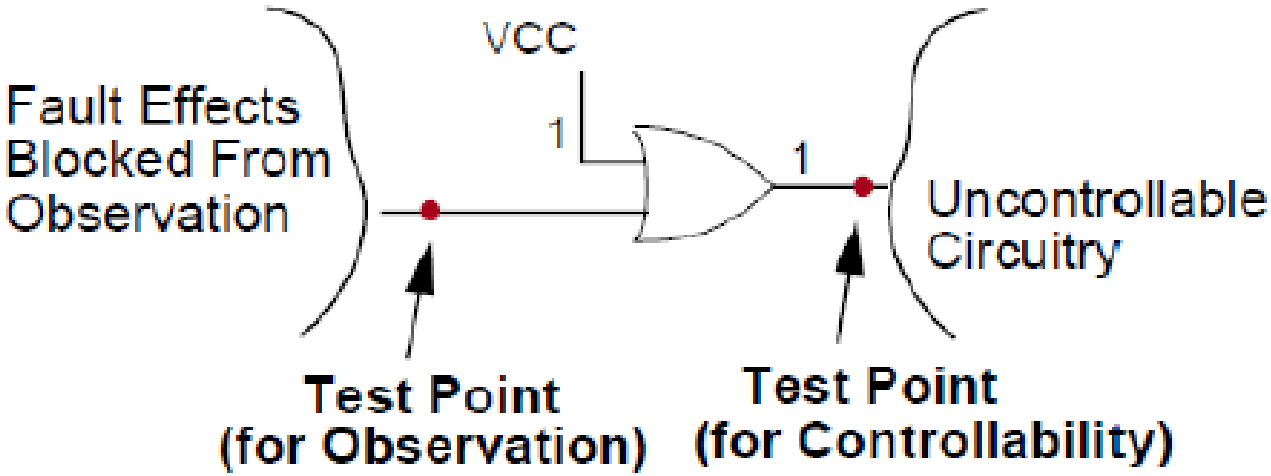
- אם כל אוגר יכול להיות נצפה ונשלט אזי בעית הבדיקה הופכת לבדיקות לוגיקה בין אוגרים.
- הבעיות בדיקות מעגלים
  - גישה חיצונית בלבד דרך פינים
  - מצב פנימי משתנה בעקיפין
  - עבור Nפינים ו-K משתנים Kמצב ,חייבים לבדוק 2^(N + K) שילובים
  - יש מצבים שקשה להגיע אליה ,כך שיש צורך בעוד יותר וקטורים

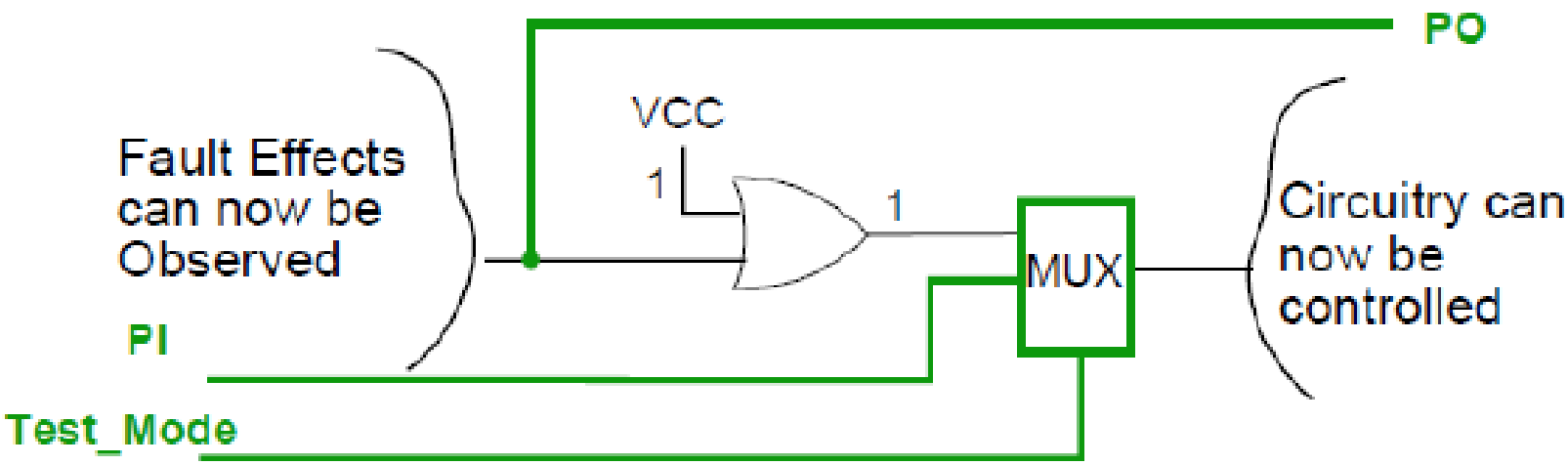
DFT וסריקה



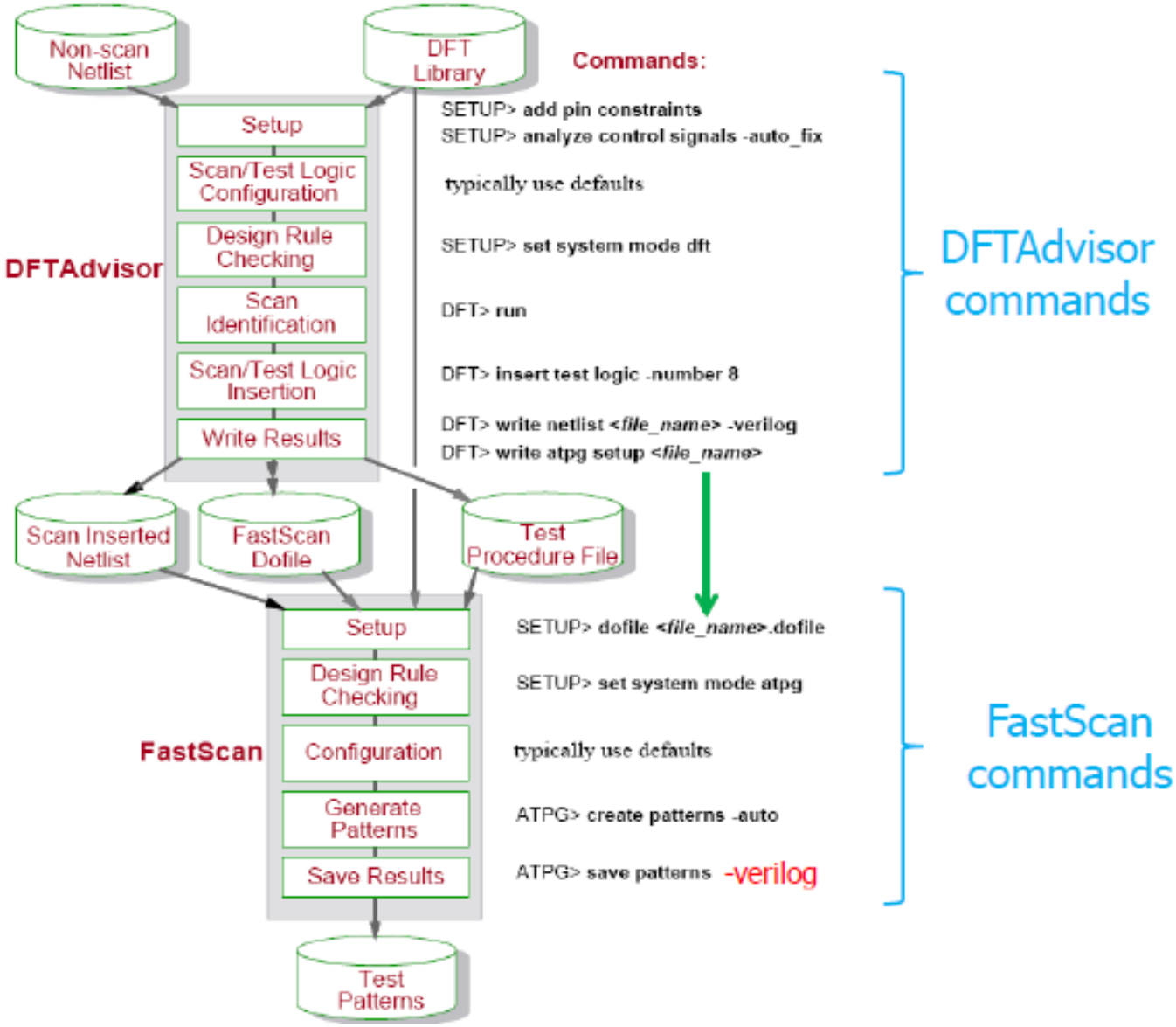
- Flip flops replaced with "scan" flip flops
- Scan flip flops form a shift register in "scan mode"
- Flip flop states set via "scan input" sc_in

DFT : תוספת נקודות צפיה

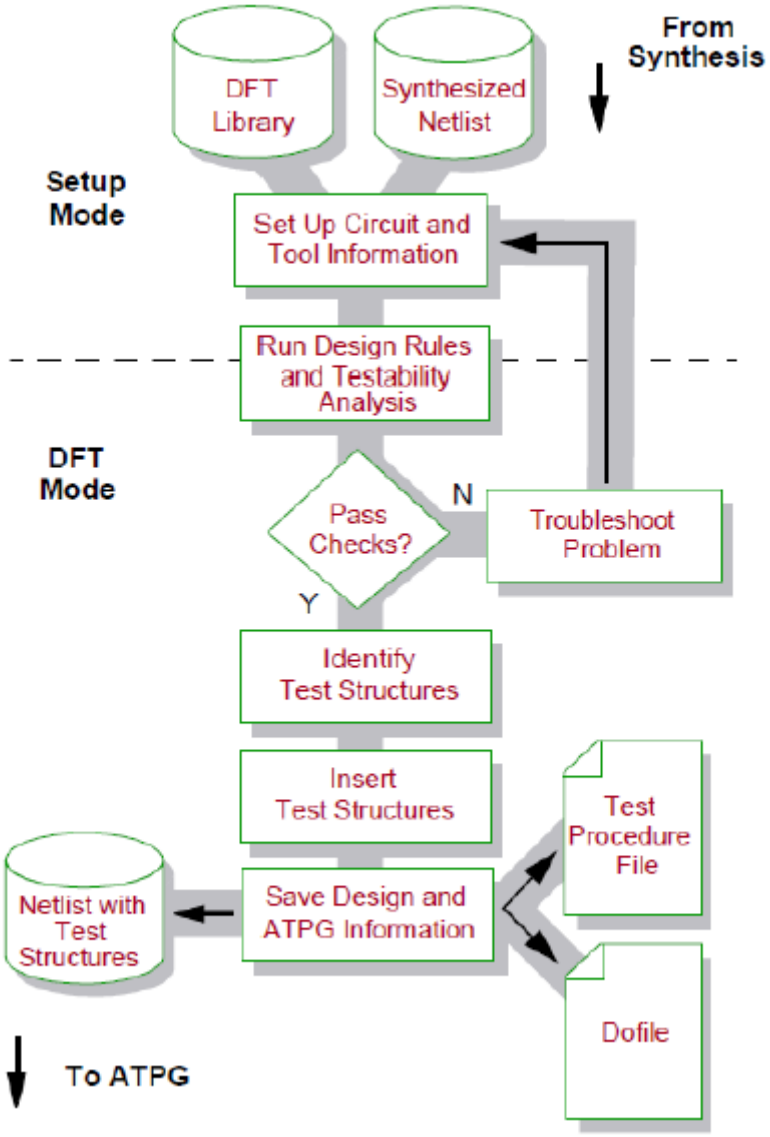




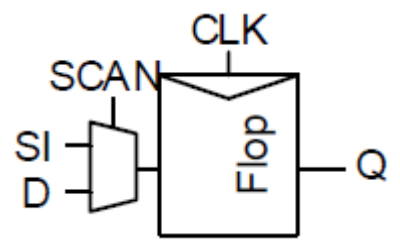
שלבי DFT


Non-scan Netlist
DFT Library
Commands:
Setup
Scan/Test Logic Configuration
Design Rule Checking
Scan Identification
Scan/Test Logic Insertion
Write Results
DFTAdvisor
SETUP> add pin constraints
SETUP> analyze control signals -auto_fix
typically use defaults
SETUP> set system mode dft
DFT> run
DFT> insert test logic -number 8
DFT> write netlist <file_name> -verilog
DFT> write atpg setup <file_name>
DFTAdvisor commands
Scan Inserted Netlist
FastScan Dofile
Test Procedure File
Setup
Design Rule Checking
Configuration
Generate Patterns
Save Results
FastScan
SETUP> dofile <file_name>.dofile
SETUP> set system mode atpg
typically use defaults
ATPG> create patterns -auto
ATPG> save patterns -verilog
FastScan commands
Test Patterns

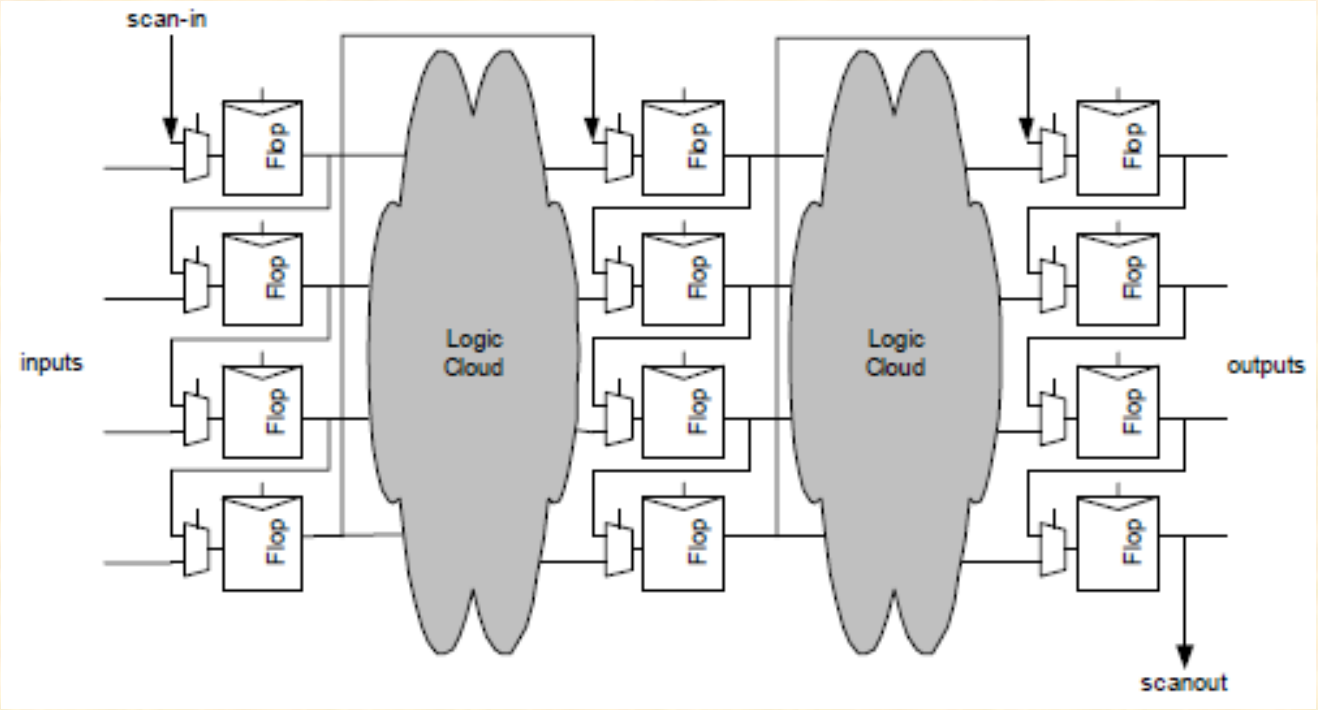
תוספת רכיבים בסיסיים לבדיקות



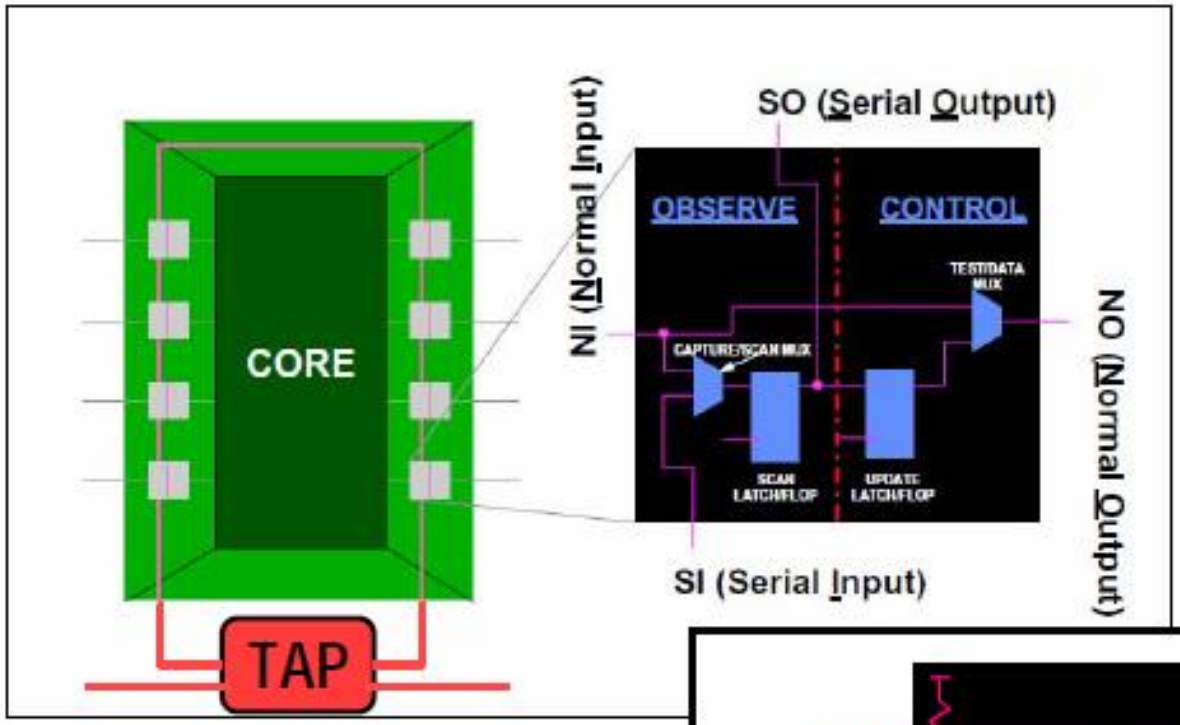
SCAN



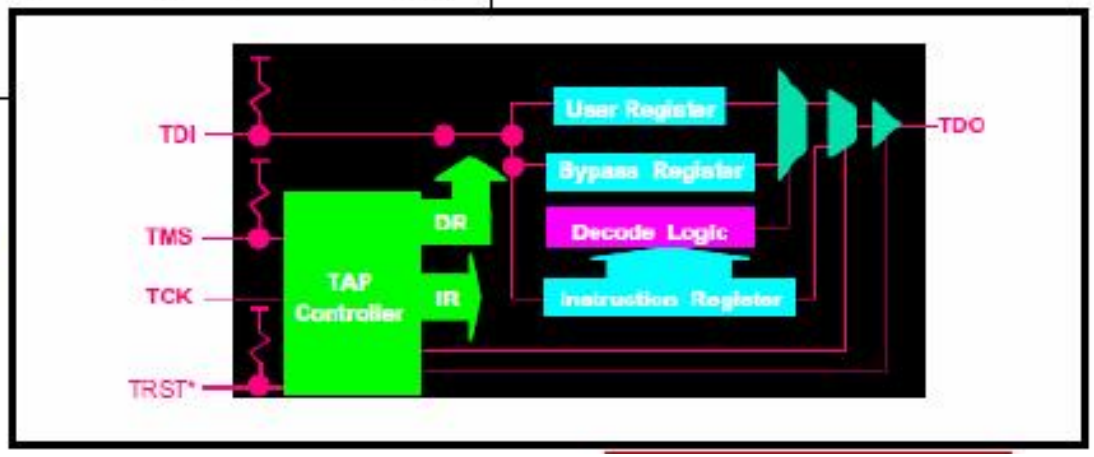
- המרת כל FF לאוגר סריקה
  - במצב רגיל: FF מהתנהג כרגיל
  - מצב סריקה: FF להתנהג כמו SHIFT אוגר



Scan-based Test

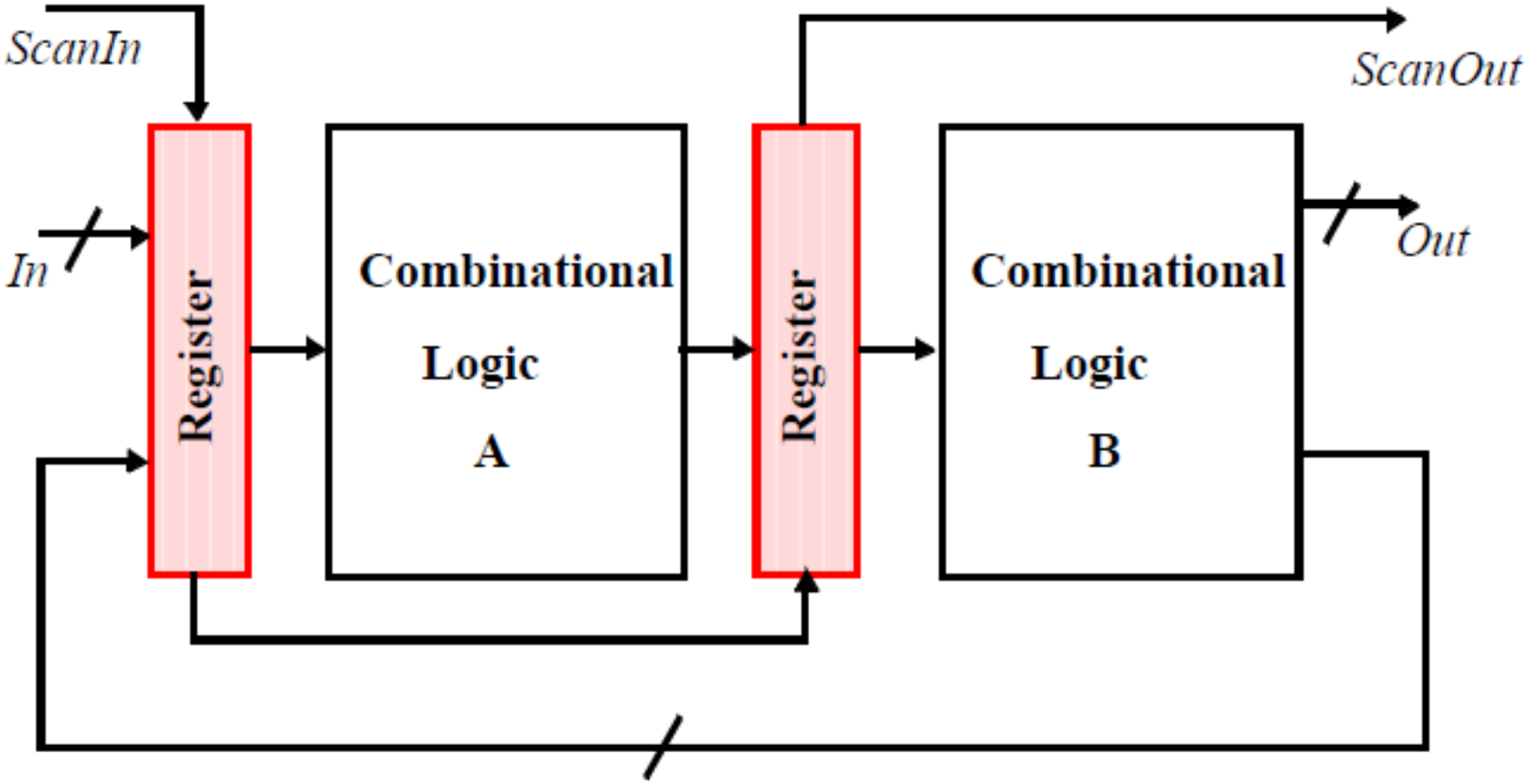


Boundary Scan Cell

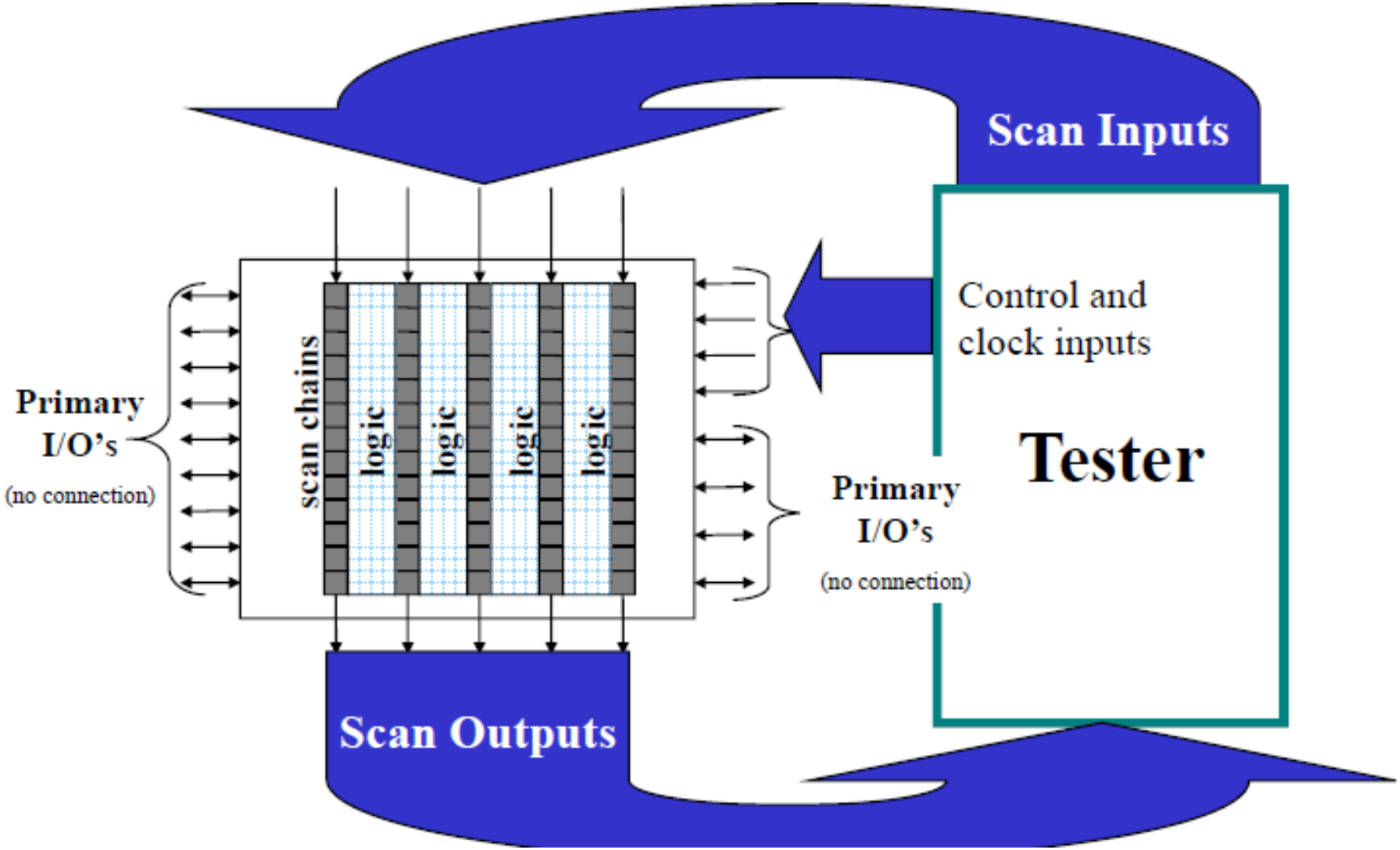


Test Access Point

Scan-based Test



בדיקות בלוקים מבוססות סריקה

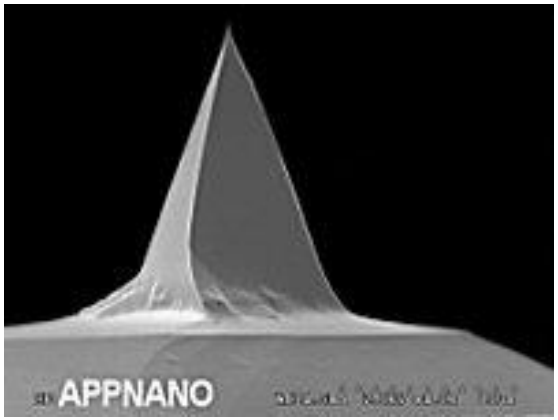


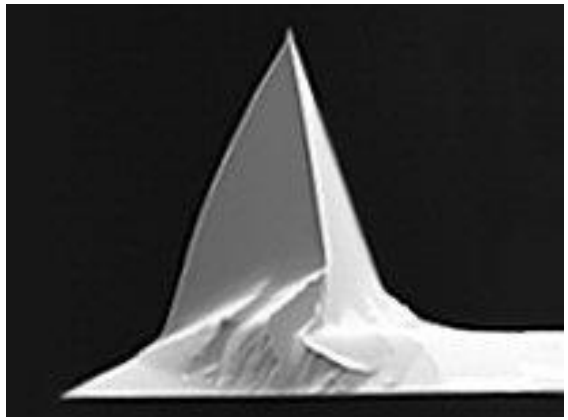
Wafer Probing

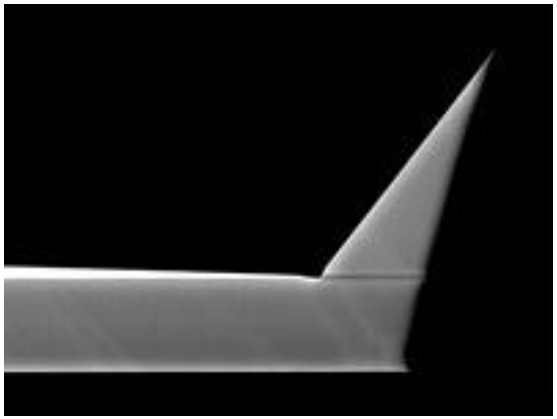
- אמנם מוגבל לבדיקה של תת-תאים תת קטן ,חיטוט הוא דרך מצוינת לבדוק את הבלוקים הבודדים בשרשרת האות.

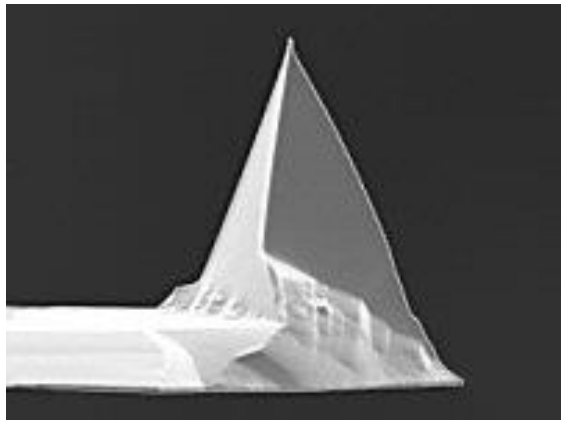
- עם מקום החתך נבחר נכון וניתניפה סקריפטים אוטומטיים כדי לשלוט על מכשירי בדיקה ,אזי החיטוט מאפשר בדיקה מהירה של בלוקים גדולים על פני פרוסות סיליקון.

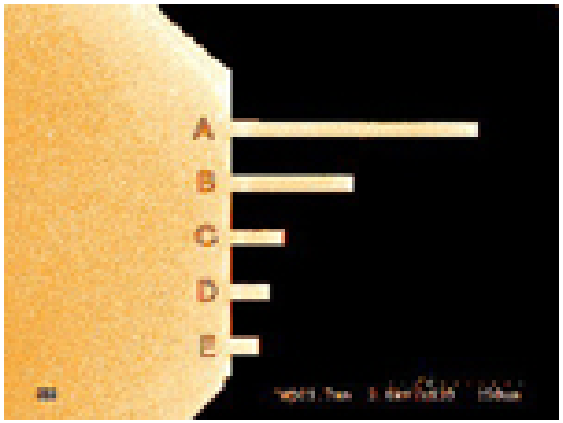
Silicon Probes



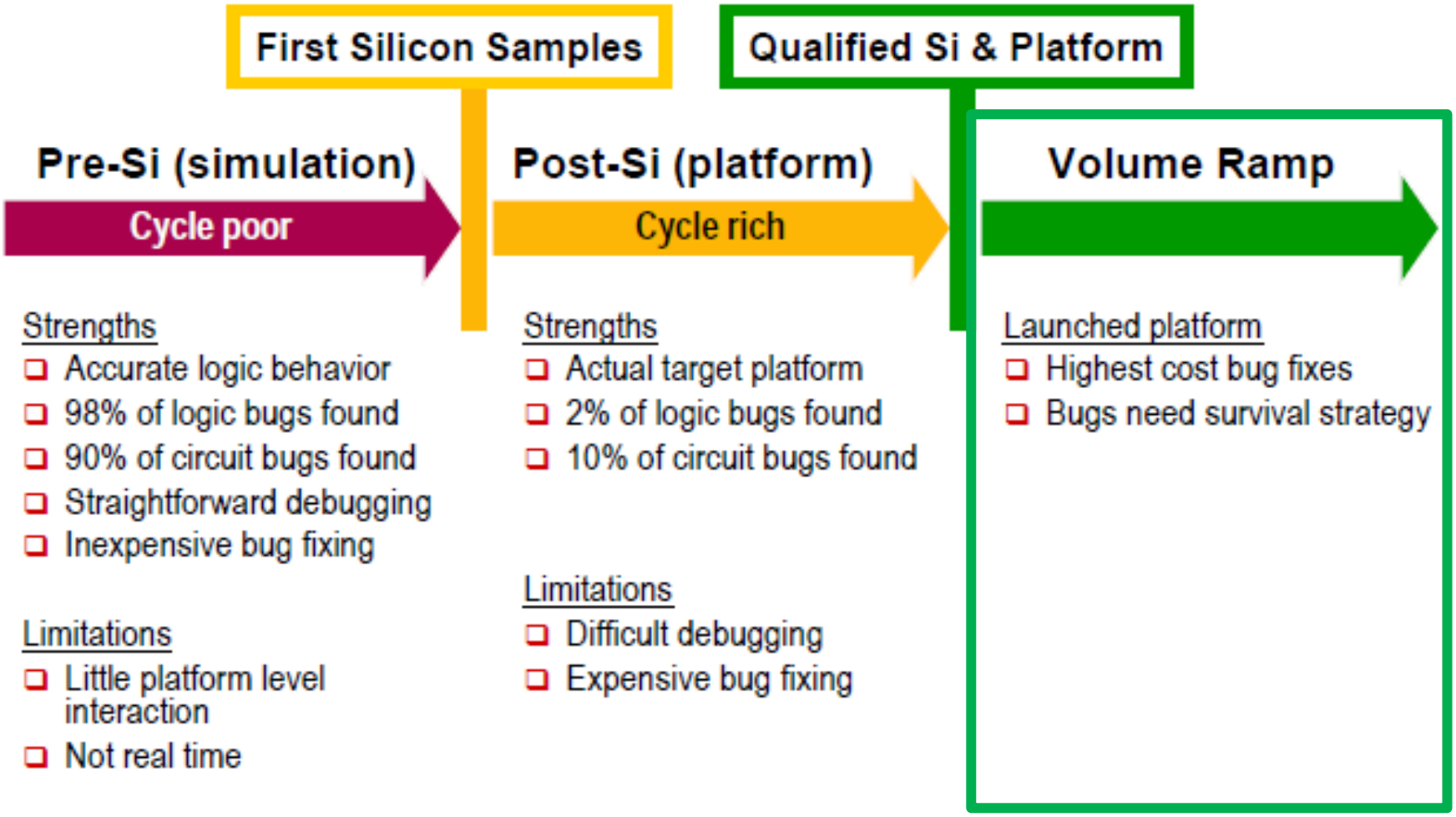






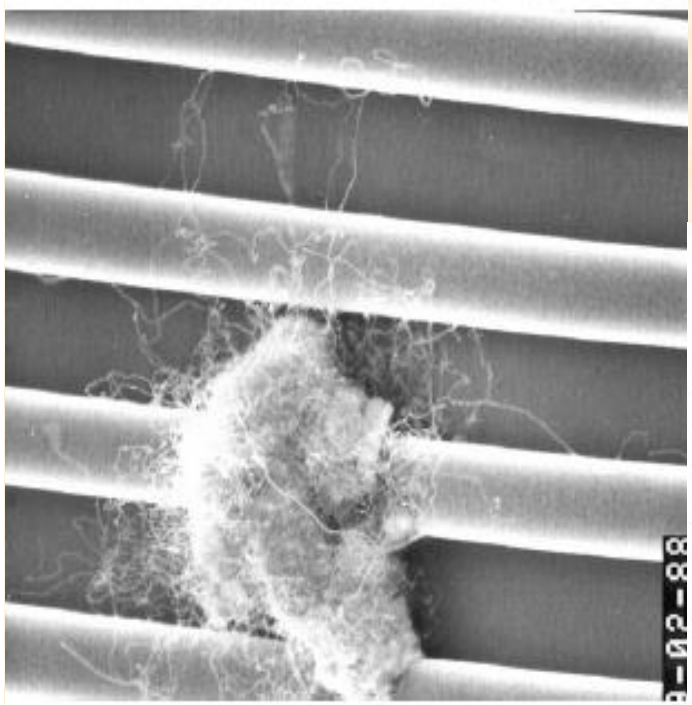


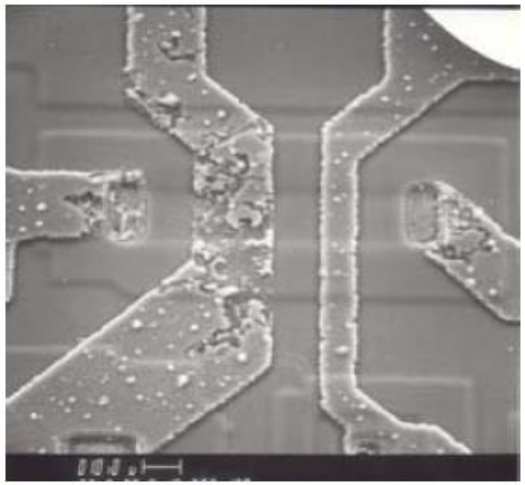
בדיקות בשלב יצור



Post-Silicon Testing

- בדיקות את השבבים הראשונים לקיבלו מהייצור
- באגים לוגיים לעומת הכישלונות חשמליים
  - רוב הכישלונות בשבבים הם הבאגים לוגיים שנובאים מלקויי סימולציה
  - ישנם גם כישלונות חשמליים:
    - crosstalk
    - זליגה
    - ...
- בעיות יצור





בדיקות ייצור

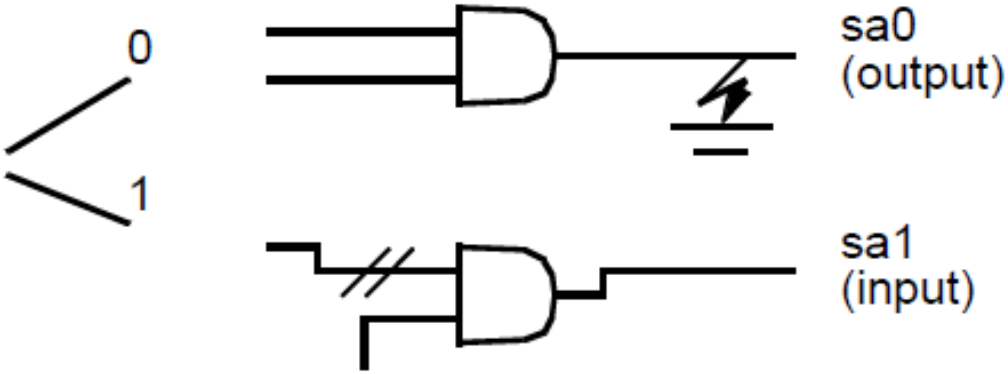
- גרגר אבק על פרוסת סיליקון מספיקה כדי להרוג שבב
- אחוז הצלחה < 100%
- חייבים לבדוק את השבבים לאחר הייצור לפני המסירה ללקוחות
- רק החלקים התקנים הולכים ללקוח
- בדיקות ייצור יקרים מאוד

יצירת וקטורים לאבחון

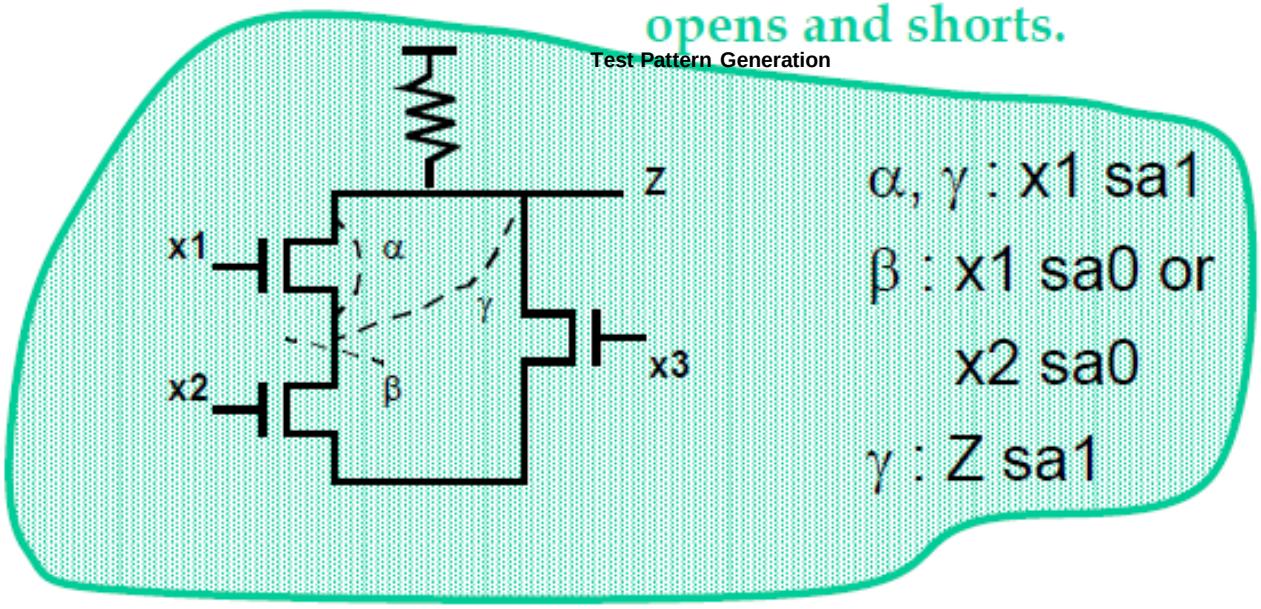
- יצירת אוטומטית של תבניות הבדיקות (**ATPG**):
  - עבור כשלון מסוים ,קבע וקטור שגרם לאותו כשלון (הנקרא וקטור הבדיקה). הוקטור היפיץ את השגיאה עד הפלט הראשון שנצפה.
  - רוב הכלים הזמינים :רשתות קומבנאטוריות בלבד
  - ATPG רציפים ניתנים לרשותך ממחקר אקדמי.
- סימולצית תקלות:
  - קבע כיסוי הבדיקות של קבוצת וקטורי הבדיקה
  - סמלץ מקרים תקנים ובמקביל מקרים פגם

מידול תקלה

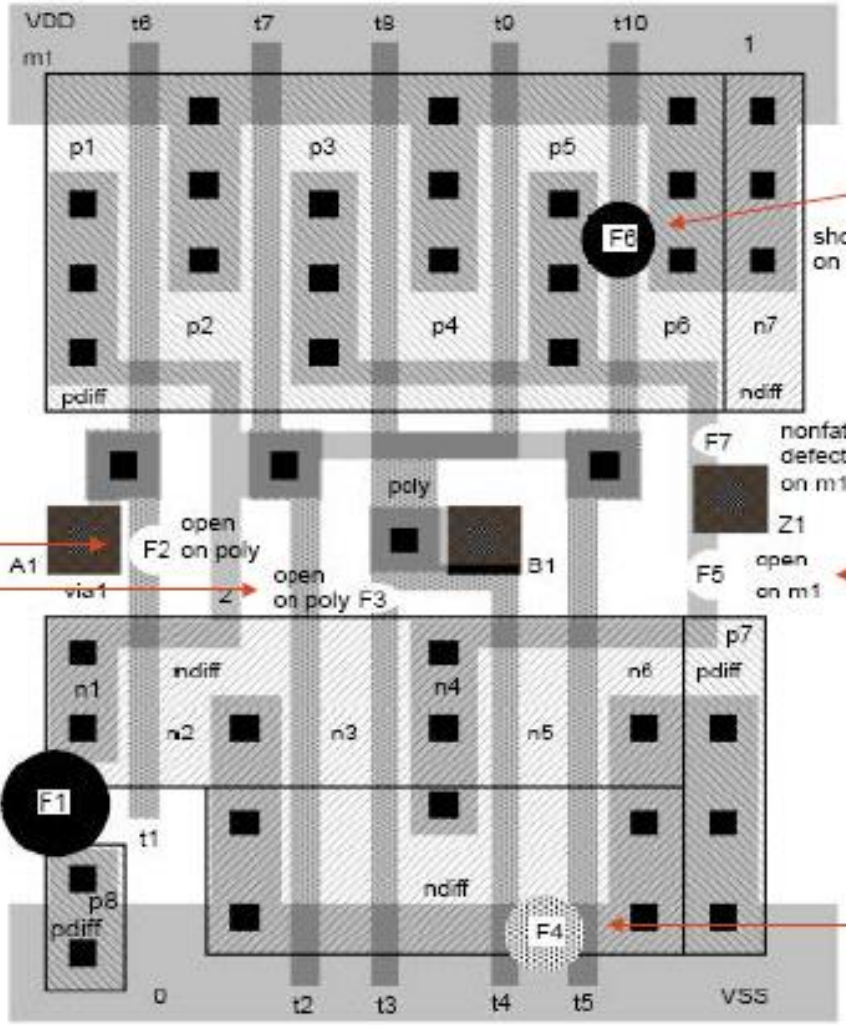
Most Popular - "Stuck - at" model



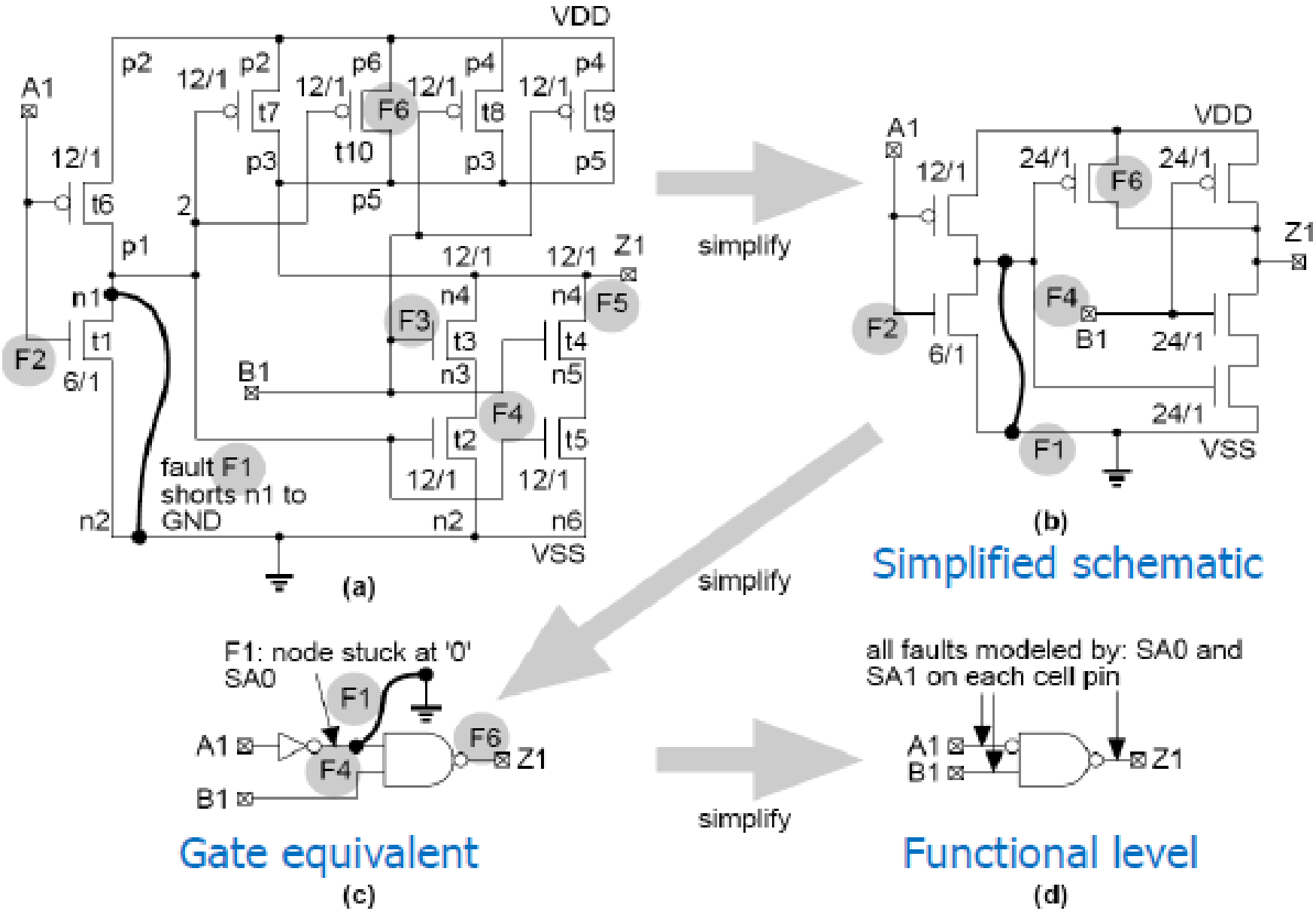
Covers almost all (other) occurring faults, such as opens and shorts.



פגמים וליקויים פיזיים

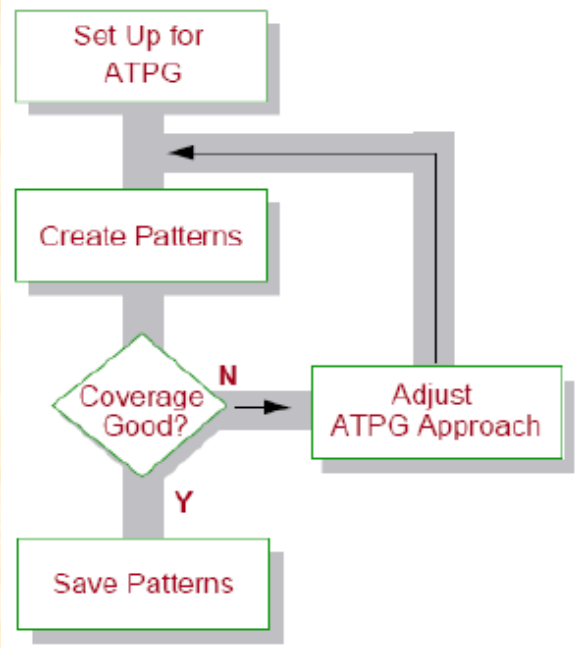


פגמים מתורגמים לתקלות לוגיות



יצירת תבניות בדיקת

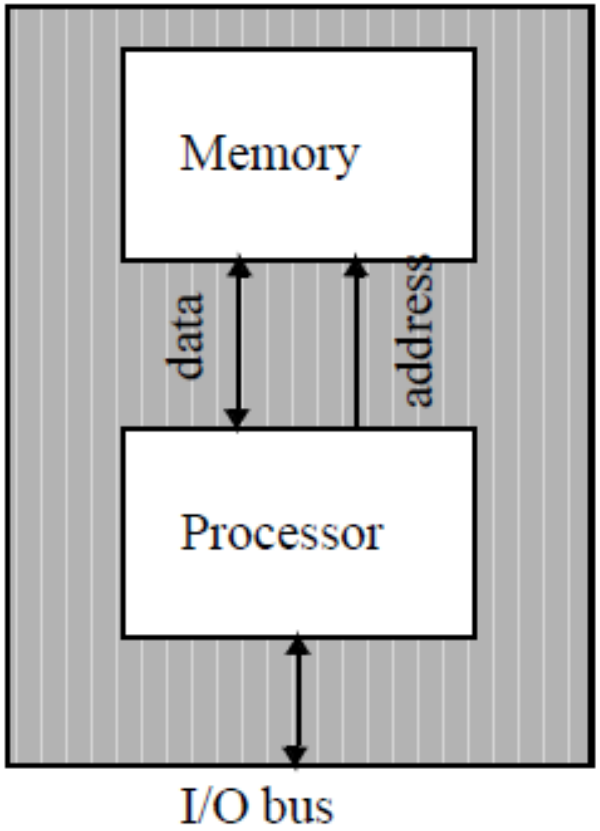
- בדיקות ייצור באופן אידיאלי היו בודקים כל צומת במעגל כדי להוכיח שהיא לא תקועה
- יישם את הרצף הקטן ביותר של וקטורי הבדיקה שנדרושים כדי להוכיח שכל צומת אינו תקועה
- שקיפות ובקרה טובות מפחיתות מספר וקטורים שנדרש לבדיקת הייצור
  - מפחיתות את עלות הבדיקה
  - מעודד תכנון למטרות הבדיקה

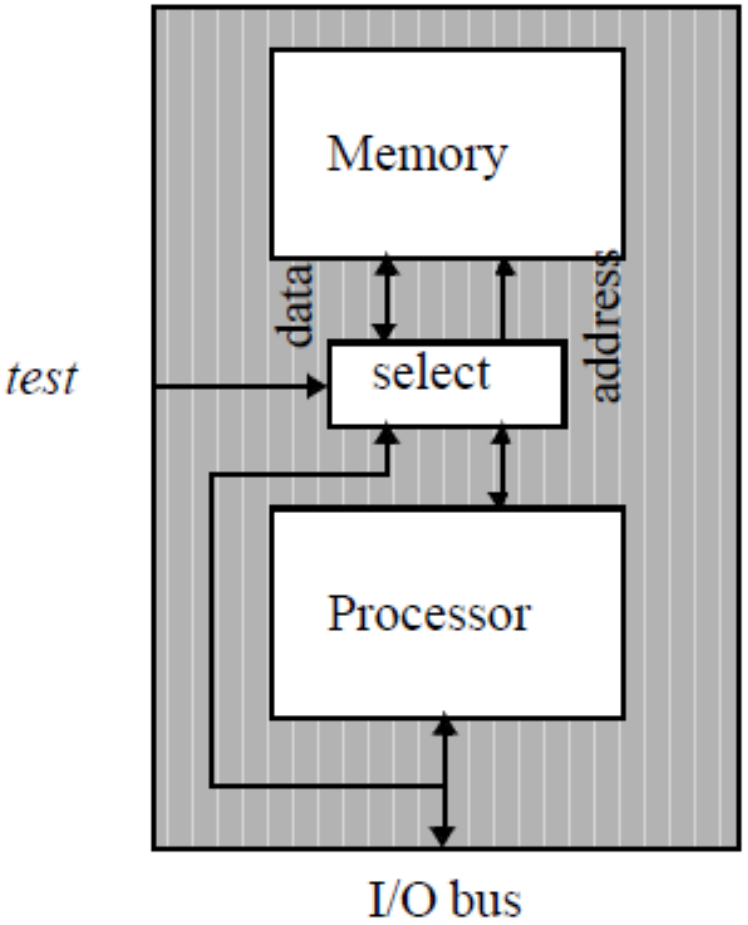


Fault Grading

- דירוג תקלת הוא מדד של כיסוי תקלות – "הציון "על איכות איתור תקלות הניתנים על ידי וקטורים הסימולציה שהוגשו.
- משמעות של דירוג פגם 100% היא שאם תקלה קיימת בצומת הניתנת לצפיה בתוך המעגל אזי התקלה תהיה מזוהה במהלך שלב הבדיקות הפונקציונליות.
- פגם בצומת מעגל שאינו מכוסה על ידי הקבוצה של וקטורי הסימולציה הפונקציונלית לא יזוהו.

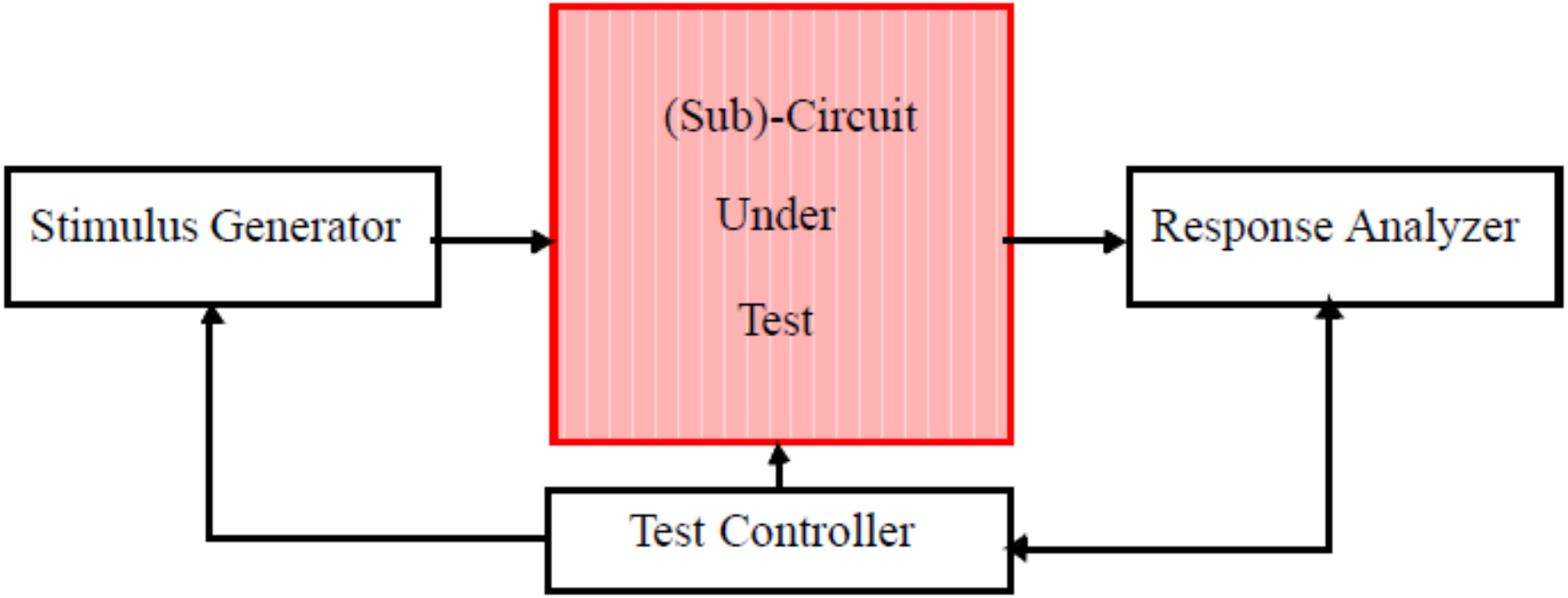
Ad-hoc Test



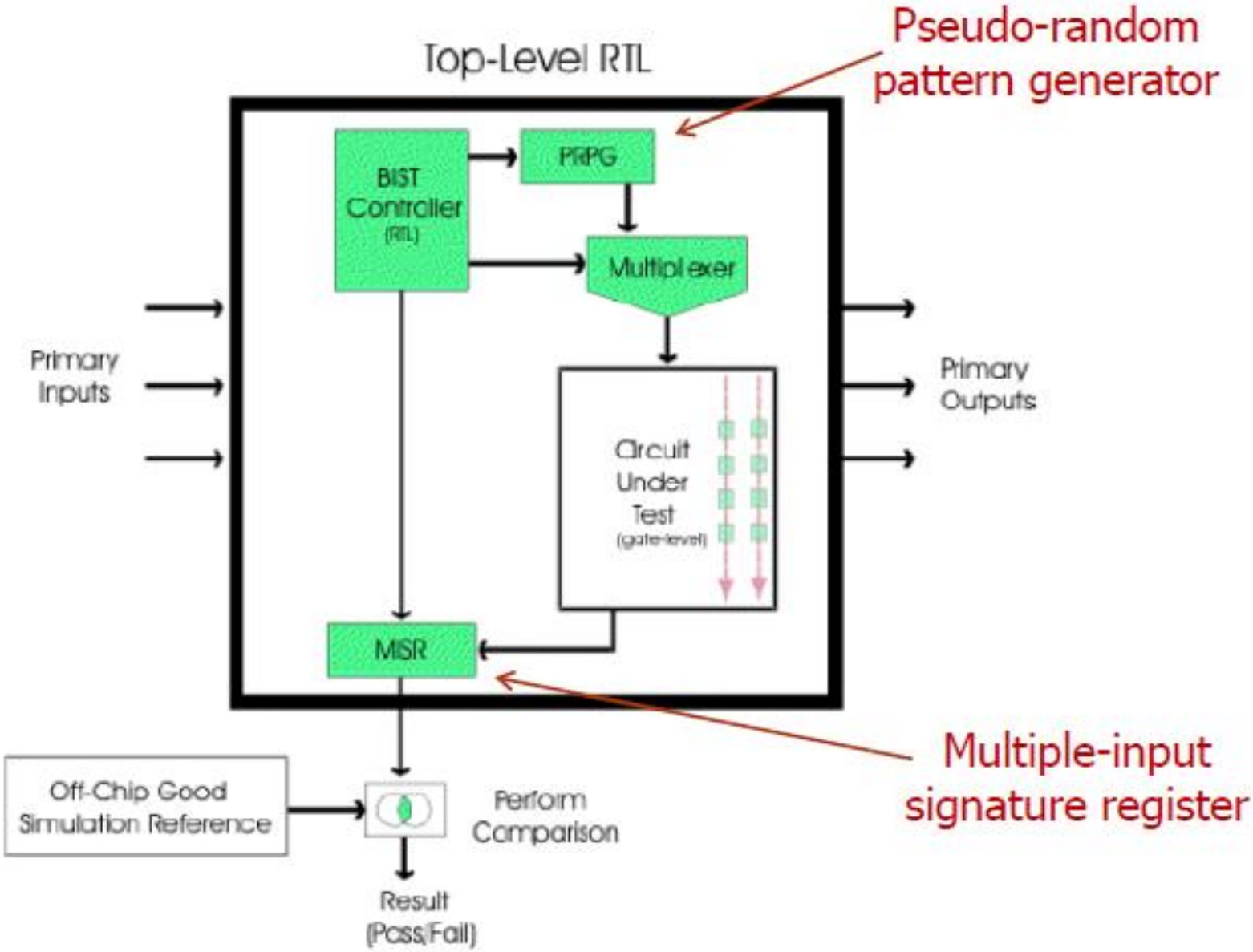


Inserting multiplexer improves testability

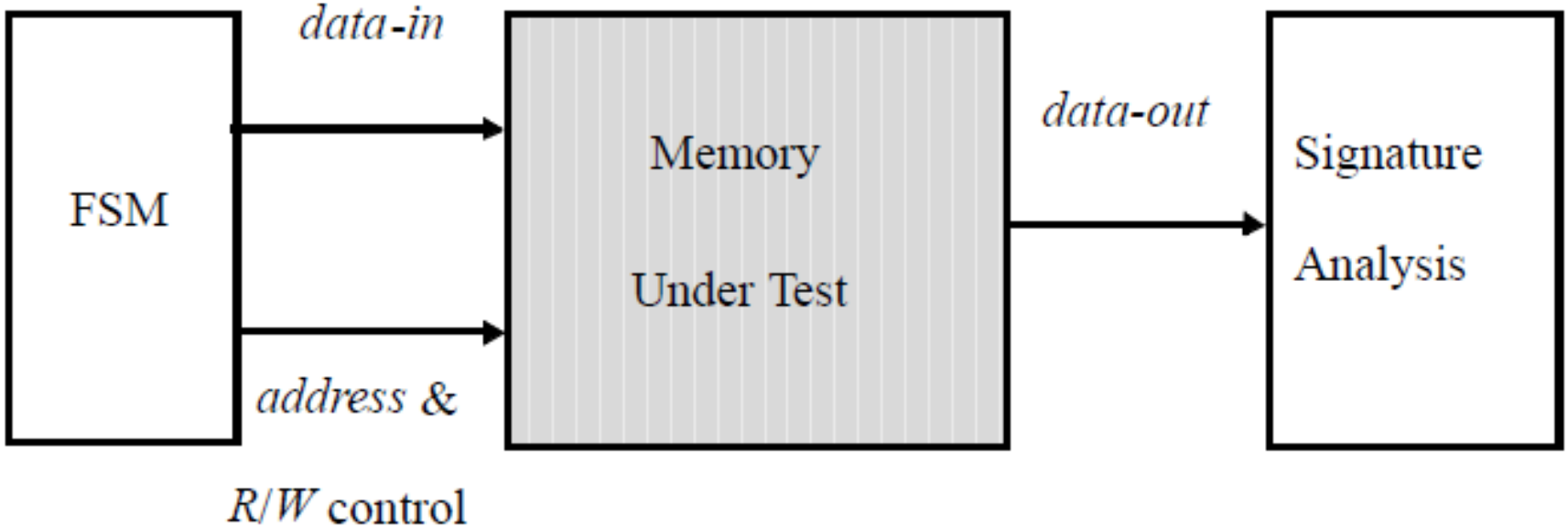
Self-test


(Sub)-Circuit
Under
Test
Stimulus Generator
Response Analyzer
Test Controller

מבנה BIST

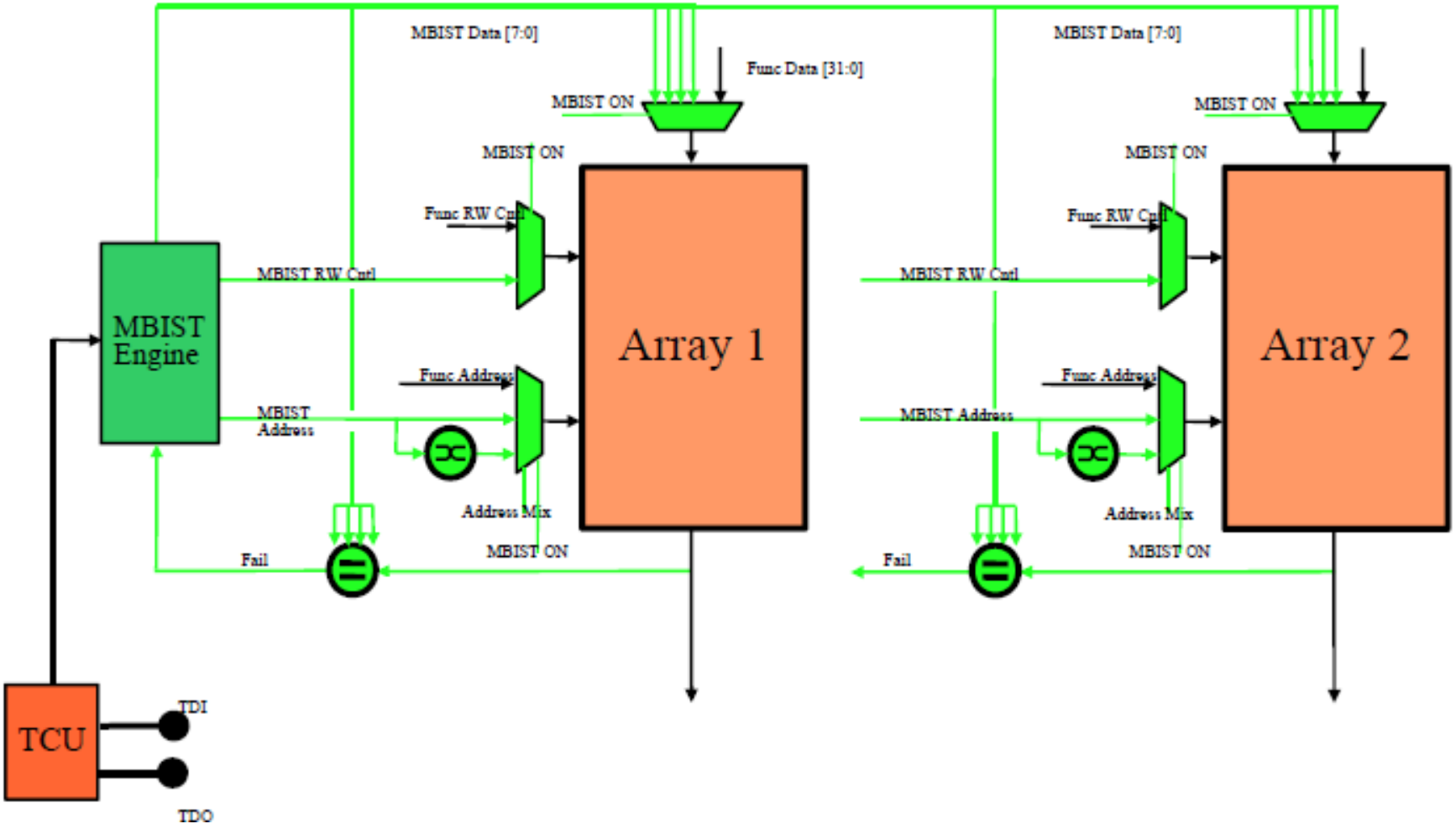

Pseudo-random pattern generator
Top-Level RTL
BIST Controller (RTL)
PRPG
Multiplexer
Primary Inputs
Primary Outputs
Circuit Under Test (gate-level)
MISR
Multiple-input signature register
Off-Chip Good Simulation Reference
Perform Comparison
Result (Pass/Fail)

בדיקה עצמית של זיכרון



Patterns: Writing/Reading 0s, 1s,
Walking 0s, 1s
Galloping 0s, 1s

בדיקה עצמית של זיכרון

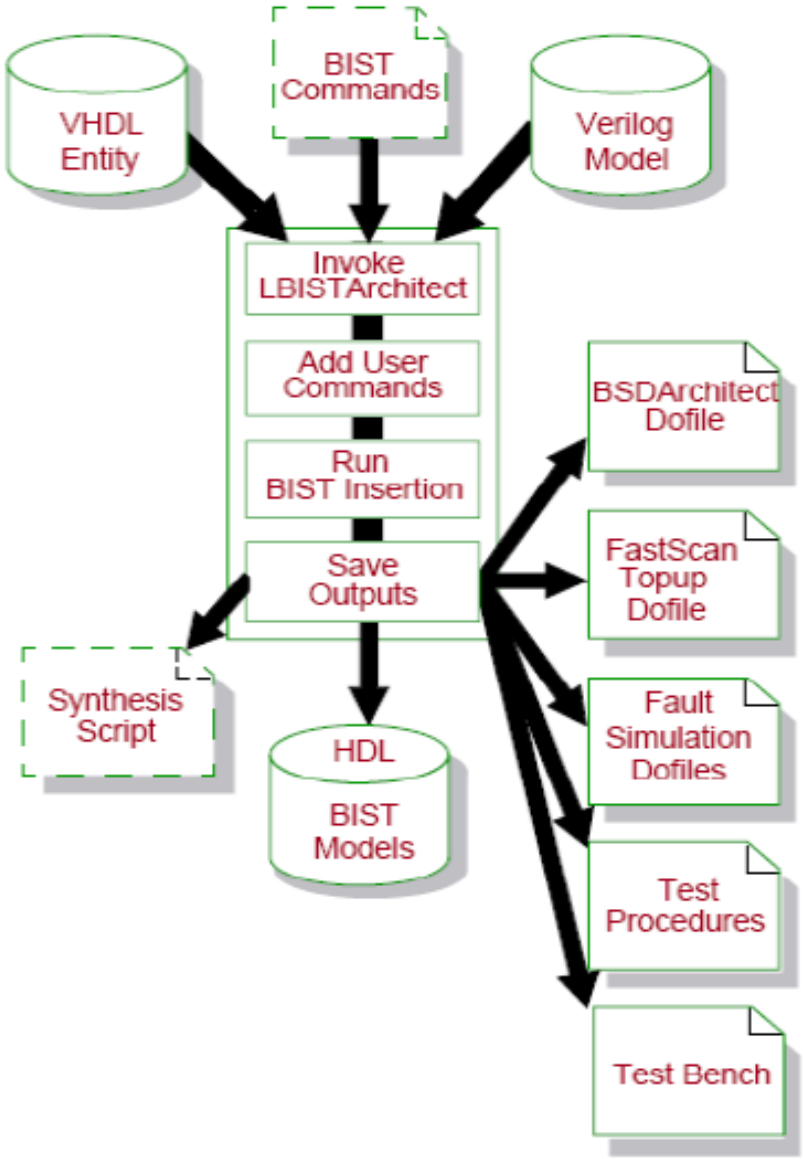


BIST

BIST מאפשר לבלוקים לבחון את עצמם

- מייצר קלט פסאודו-אקראי ללוגיקה קומבינטורית
- משלב ערכי פלט לתוך "סינדרום"
- עם הסתברות גבוהה ,בלוק תקין אם הוא מייצר את "הסינדרום" הצפוי
- הופך להיות חשוב יותר עם הגדלת שבבים ומורכבות מודולים גדולים

תהליך של תוספת שך BIST



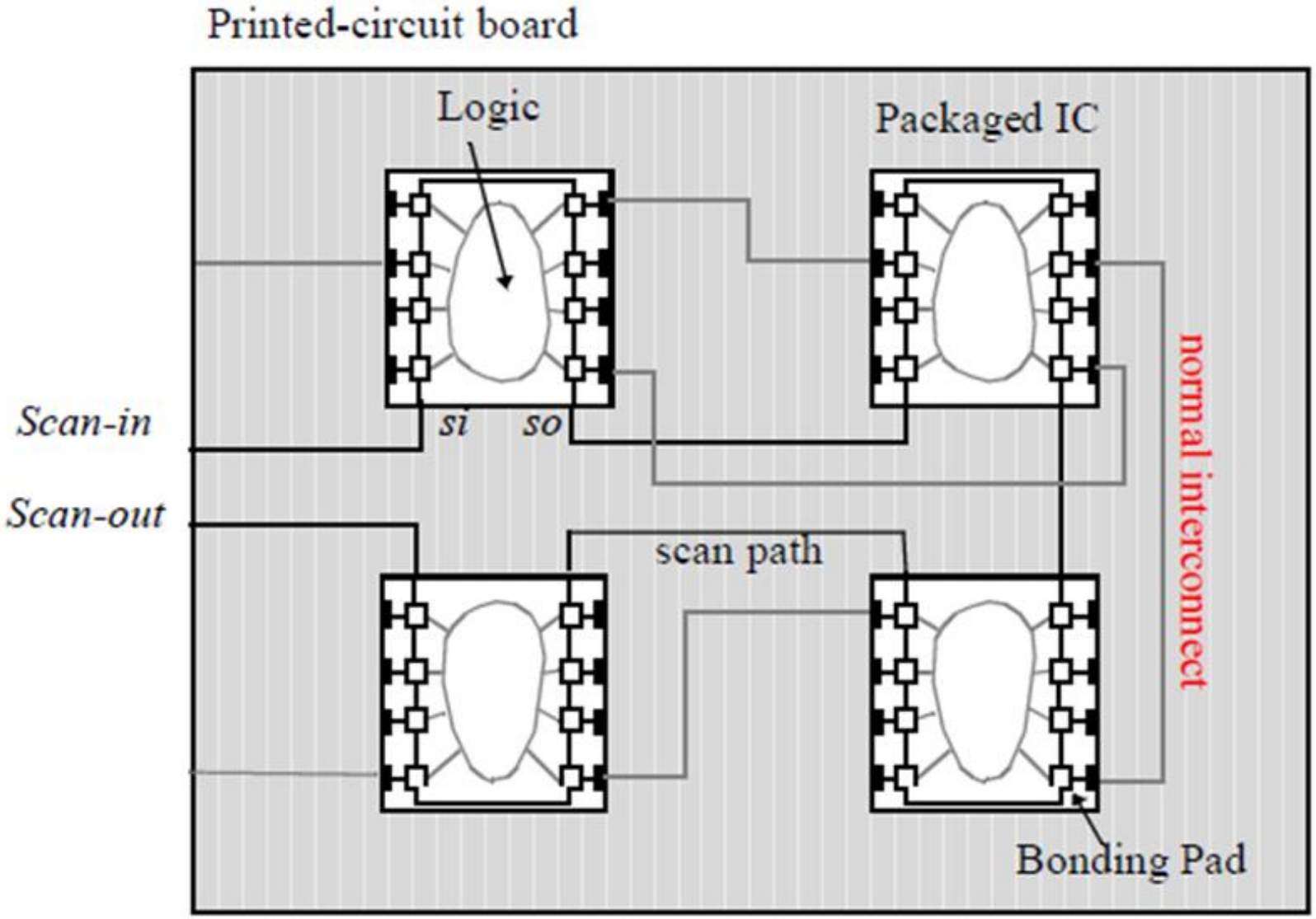
סריקות על הגבולות

- בדיקות לוחות קשות לביצוע
- לוחות לא יכולות להתחבר לפינים של שבב בקלות
- בדיקות על הלוח הופכות להיות בעייתיות באותה מידה כמו בדיקות שבב כולו
- תפוס באגים תוך כדי ריצה

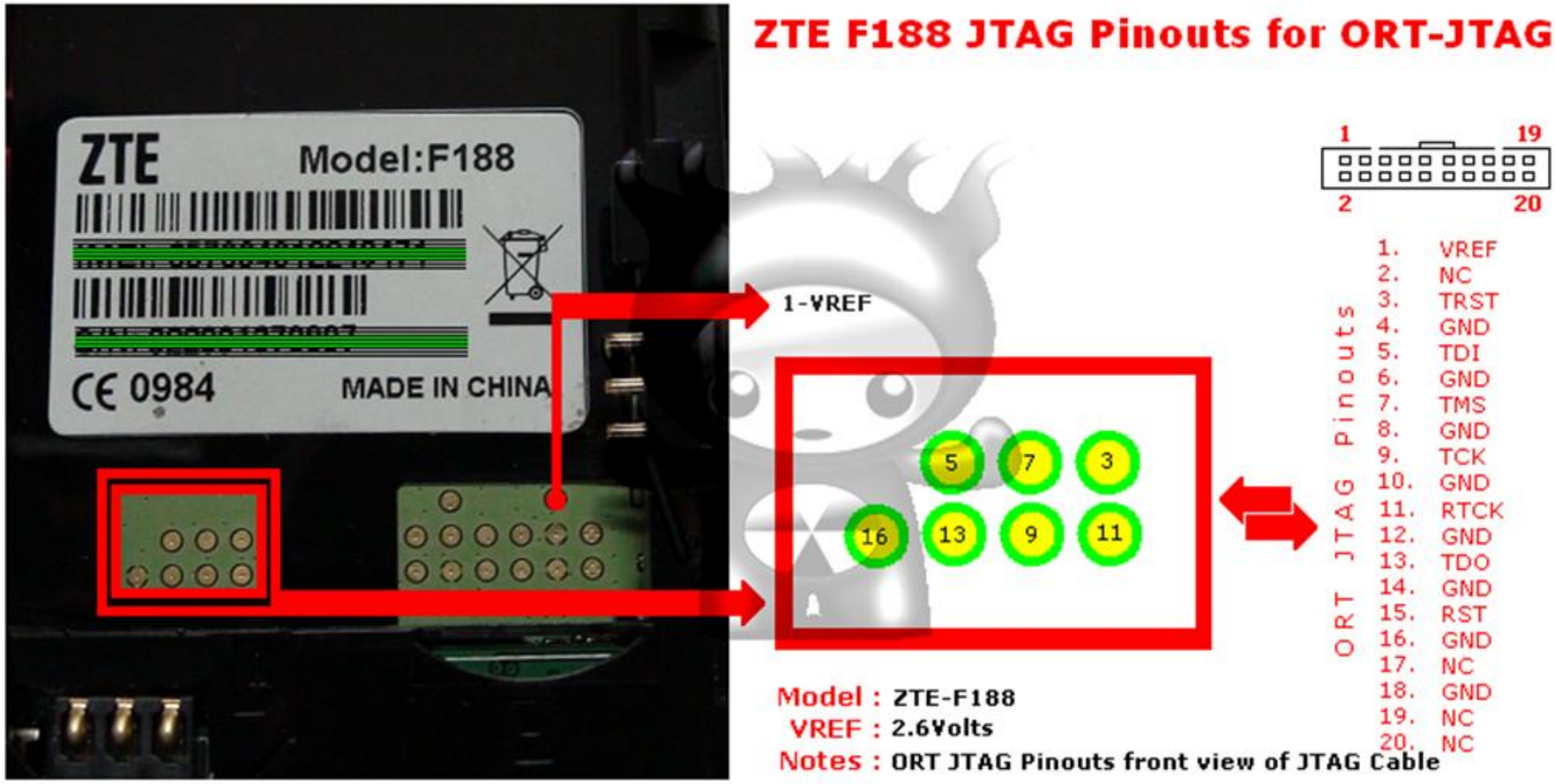
Standard Test Access Port and Boundary-Scan Architecture

תקן לאיתור באגים של גישה לזיכרון ופעולות בשבב

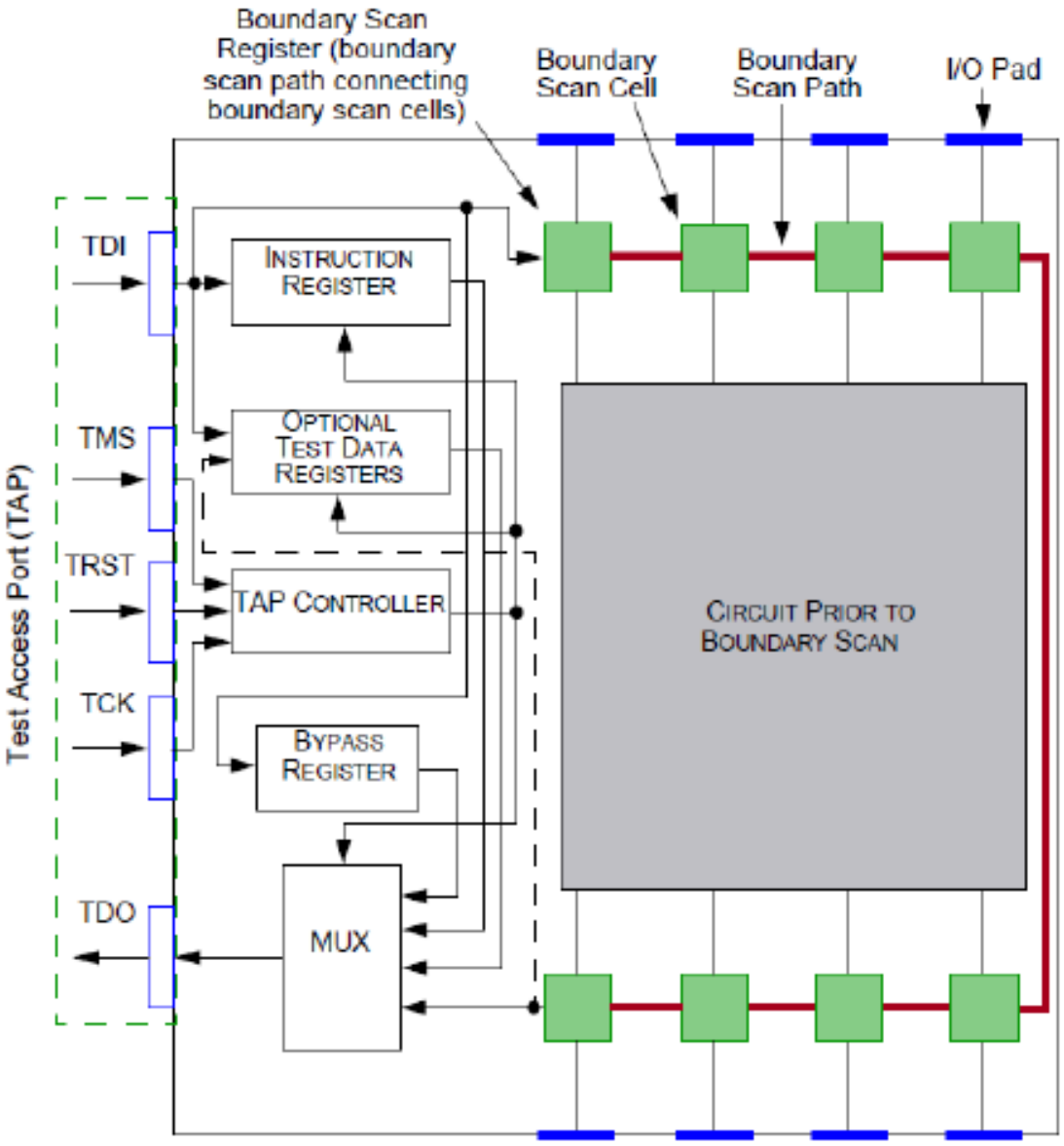
Joint Test Action Group (JTAG)



JTAG


ZTE F188 JTAG Pinouts for ORT-JTAG
ZTE
Model:F188
CE 0984
MADE IN CHINA
1-VREF
5
7
3
16
13
9
11
1
19
2
20
ORT JTAG Pinouts
1. VREF
2. NC
3. TRST
4. GND
5. TDI
6. GND
7. TMS
8. GND
9. TCK
10. GND
11. RTCK
12. GND
13. TDO
14. GND
15. RST
16. GND
17. NC
18. GND
19. NC
20. NC
Model : ZTE-F188
VREF : 2.6Volts
Notes : ORT JTAG Pinouts front view of JTAG Cable

JTAG


Boundary Scan Register (boundary scan path connecting boundary scan cells)
Boundary Scan Cell
Boundary Scan Path
I/O Pad
TDI
TMS
TRST
TCK
TDO
Test Access Port (TAP)
INSTRUCTION REGISTER
OPTIONAL TEST DATA REGISTERS
TAP CONTROLLER
BYPASS REGISTER
MUX
CIRCUIT PRIOR TO BOUNDARY SCAN

JTAG

```
// Fictional example:
// Read a counter in a certain design block
// on a certain boundary scan chain
// First select a desired design block
irscan(MY_CHAIN,  SELECT_BLOCK_OPCODE)
// scan in block number stored in 4 bits.
drscan(MY_CHAIN ,  4, BLOCK_NUMBER)

// now select the desired counter out of 100  counters
// 7 bits used to select counter
// This operation also resets counter to 0
irscan(MY_CHAIN, COUNTER_SELECT_OPCODE)
drscan(MY_CHAIN, 7, COUNTER_ID)

// Wait  until something triggers...

// Read Counter Value
irscan(MY_CHAIN, READ_COUNTER_OPCODE)
drscan(MY_CHAIN,  32 , 0x0,  Counter_Value)
```

כלי JTAG

- Mentor Graphics/Tessent "BSDArchitect"
  - synthesize boundary-scan circuits
  - insert boundary-scan circuits
  - generate boundary-scan test vectors
  - generate Verilog test bench
- BSDL
  - Boundary-Scan Description Language
  - Subset of VHDL - describes features of IEEE 1149.1
  - Use in test generation software

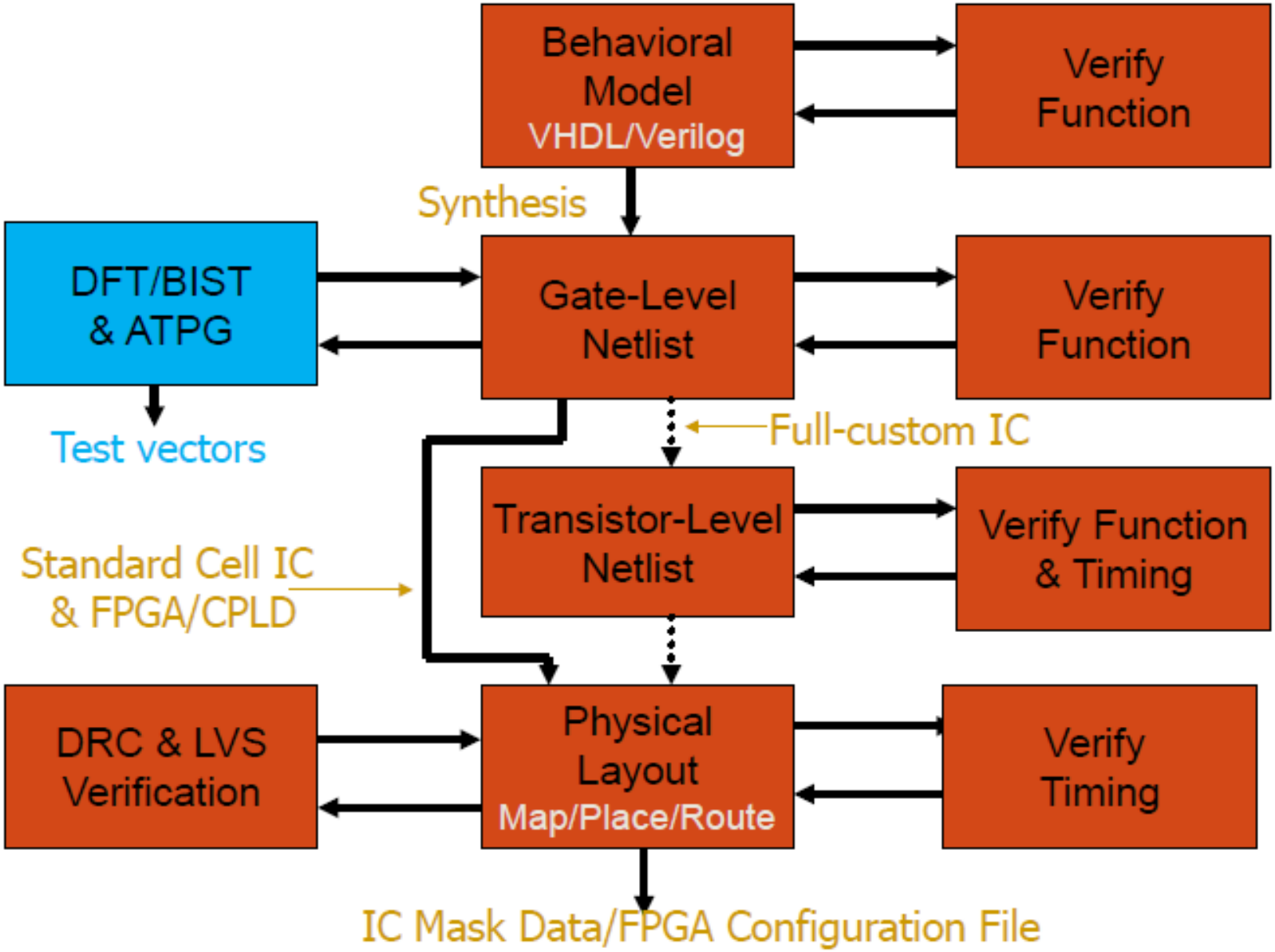
בודק ציפים

"If you don't test it, it won't work! (Guaranteed)"

תשתית של פלטפורמות אימות

- Use of industry standard operating systems, applications, and peripherals to verify:
  - Platform and component behavioral correctness
  - Legacy compatibility of O/S, applications, and peripherals
- Test configuration models end-users
  - Mobile and desktop client systems
  - Blade and enterprise level server systems
  - Fully integrated platforms: CPU, chipset, BIOS, O/S, applications
- Highly stressful configurations – hunting for both functional and performance bugs

בדיקות ASIC


Behavioral Model
VHDL/Verilog
Verify Function
Synthesis
DFT/BIST & ATPG
Gate-Level Netlist
Verify Function
Test vectors
Full-custom IC
Transistor-Level Netlist
Verify Function & Timing
Standard Cell IC & FPGA/CPLD
DRC & LVS Verification
Physical Layout
Map/Place/Route
Verify Timing
IC Mask Data/FPGA Configuration File